

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

11033 U.S. PRO

09/824307



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

2000年 5月31日

出 願 番 号

Application Number:

特願2000-162110

願 人

Applicant (s):

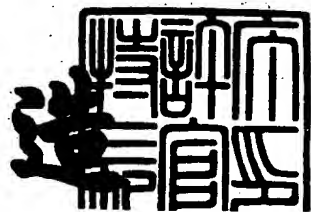
コニカ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 1月26日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 DIJ02233

【提出日】 平成12年 5月31日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/00

【発明の名称】 クロック発生装置、基板および画像形成装置ならびにク
ロック発生方法

【請求項の数】 12

【発明者】

 【住所又は居所】 東京都八王子市石川町2970番地 コニカ株式会社内

 【氏名】 高木 幸一

【特許出願人】

 【識別番号】 000001270

 【氏名又は名称】 コニカ株式会社

【代理人】

 【識別番号】 100085187

 【弁理士】

 【氏名又は名称】 井島 藤治

【選任した代理人】

 【識別番号】 100090424

 【弁理士】

 【氏名又は名称】 鮫島 信重

【手数料の表示】

 【予納台帳番号】 009542

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

特 2 0 0 0 - 1 6 2 1 1 0

【包括委任状番号】 9004575

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック発生装置、基板および画像形成装置ならびにクロック発生方法

【特許請求の範囲】

【請求項 1】 基準クロックを遅延させた遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部と、

先端基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から 1 周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、

前記同期信号検出部で導き出された同期情報を参照して前記ディレイチェーン部から基準クロックに同期した同期クロックを選択するセレクト部と、

前記セレクト部における前記同期クロックの選択と、ある任意の時間を加える方向での前記ディレイチェーン部からの遅延クロックの選択とを毎クロックごとに交互に実行するようして、クロック信号の時間間隔を分散させる切替制御部と、
を有することを特徴とするクロック発生装置。

【請求項 2】 基準クロックを遅延させた遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部と、

先端基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から 1 周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、

前記同期信号検出部で導き出された同期情報を参照して前記ディレイチェーン部から基準クロックに同期した同期クロックを選択するセレクト部と、

前記セレクト部における前記同期クロックの選択と、ある任意の時間を減じる方向での前記ディレイチェーン部からの遅延クロックの選択とを毎クロックごとに交互に実行するようして、クロック信号の時間間隔を分散させる切替制御部と、
を有することを特徴とするクロック発生装置。

【請求項 3】 基準クロックを遅延させた遅延クロックを生成するためにデ

イレイ素子をチェーン状に接続したディレイチェーン部と、

先端基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、

前記同期信号検出部で導き出された同期情報を参照して前記ディレイチェーン部から基準クロックに同期した同期クロックを選択するセレクト部と、

前記セレクト部における前記同期クロックの選択と、ある任意の時間を加える方向での前記ディレイチェーン部からの遅延クロックの選択とを任意のクロックごとに交互に実行するようして、クロック信号の時間間隔を分散させる切替制御部と、

を有することを特徴とするクロック発生装置。

【請求項4】 基準クロックを遅延させた遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部と、

先端基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、

前記同期信号検出部で導き出された同期情報を参照して前記ディレイチェーン部から基準クロックに同期した同期クロックを選択するセレクト部と、

前記セレクト部における前記同期クロックの選択と、ある任意の時間を減じる方向での前記ディレイチェーン部からの遅延クロックの選択とを任意のクロックごとに交互に実行するようして、クロック信号の時間間隔を分散させる切替制御部と、

を有することを特徴とするクロック発生装置。

【請求項5】 基準クロックを遅延させた遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部と、

先端基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、

前記同期信号検出部で導き出された同期情報を参照して前記ディレイチェーン

部から基準クロックに同期した同期クロックを選択するセレクト部と、

前記セレクト部における前記同期クロックの選択と、ある任意の時間を加える方向での前記ディレイチェーン部からの遅延クロックの選択と、ある任意の時間を減じる方向での前記ディレイチェーン部からの遅延クロックの選択とを、毎クロックごとに交互に実行するようして、クロック信号の時間間隔を分散させる切替制御部と、

を有することを特徴とするクロック発生装置。

【請求項 6】 基準クロックを遅延させた遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部と、

先端基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から 1 周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、

前記同期信号検出部で導き出された同期情報を参照して前記ディレイチェーン部から基準クロックに同期した同期クロックを選択するセレクト部と、

前記セレクト部における前記同期クロックの選択と、ある任意の時間を加える方向での前記ディレイチェーン部からの遅延クロックの選択と、ある任意の時間を減じる方向での前記ディレイチェーン部からの遅延クロックの選択とを、任意のクロックごとに交互に実行するようして、クロック信号の時間間隔を分散させる切替制御部と、

を有することを特徴とするクロック発生装置。

【請求項 7】 前記各部が集積回路で構成される、
ことを特徴とする請求項 1 乃至請求項 6 のいずれかに記載のクロック発生装置。

【請求項 8】 前記各部がデジタル回路で構成される、
ことを特徴とする請求項 1 乃至請求項 6 のいずれかに記載のクロック発生装置。

【請求項 9】 前記切替制御部を CPU により制御する、
ことを特徴とする請求項 1 乃至請求項 6 のいずれかに記載のクロック発生装置。

【請求項 10】 請求項 1 乃至請求項 9 のいずれか 1 つのクロック発生装置が設けられた、
ことを特徴とする基板。

【請求項 1 1】 請求項 1 乃至請求項 9 のいずれか 1 つのクロック発生装置から出力されるクロックを用いて制御される、
ことを特徴とする画像形成装置。

【請求項 1 2】 チェーン状に接続したディレイ素子により基準クロックを遅延させて遅延クロックを生成し、

前記遅延クロックの中から先端基準信号に同期した遅延クロックを複数選択することで、1 周期分のディレイ段数に相当する同期情報を導き出し、

前記同期情報を参照し、前記遅延クロックの中から基準クロックに同期した同期クロックを選択する第 1 の選択と、前記同期クロックに対して任意の時間を増減する方向の遅延クロックを選択する第 2 の選択とについて、所定の期間ごとに前記第 1 の選択と前記第 2 の選択とを交互に実行する、
ことを特徴とするクロック発生方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明が属する技術分野】

本発明はクロック発生装置、基板および画像形成装置ならびにクロック発生方法に関し、さらに詳しくは、周波数帯域が拡散した状態のディザリング・クロックを生成するクロック発生装置、基板および画像形成装置ならびにクロック発生方法に関する。

【 0 0 0 2 】

【従来の技術】

各種ディジタル回路において、回路動作のためにクロックを必要としている。このクロックは、各種方式のクロック発生回路によって生成されている。

【 0 0 0 3 】

従来から存在している一般的なクロック発生回路では、クロックの周期（周波数）は一定であり、立ち上がり・立ち下りの位置は固定された状態になっていた。

【 0 0 0 4 】

このため、このクロック発生装置およびクロックの供給を受ける各種の装置が

らは、クロックの周波数の整数倍の高調波が放射電磁雑音として装置外部に輻射される。

【 0 0 0 5 】

この放射電磁雑音が問題となっており、これを減らすべく、EMI (Electro-Magnetic Interference) 対策が各種提案されている。

【 0 0 0 6 】

【発明が解決しようとする課題】

このため、クロックを周波数変調すること（クロック・ディザリング）で、放射される電磁波の周波数帯域を広げ、ピークとなる部分のレベルを低下させる技術が開発されている。

【 0 0 0 7 】

このような技術を実現するものとして、入力されるクロックをPLL回路によって周波数変調して、ディザリング・クロックとして出力するICが市販されている。

【 0 0 0 8 】

このように、入力されるクロックをPLL回路によって周波数変調してディザリング・クロックとして出力する市販のICなどでは、不連続なクロックに対して正常動作が保証されていなかったり、内部にフィードバックループを有するためセットアップタイムがかかるといった問題を有していた。

【 0 0 0 9 】

また、このディザリング・クロックを出力するICは単体のデバイスであり、また、PLLは基本的にアナログの回路であるため、デジタル回路と一体的に形成することができないという問題がある。

【 0 0 1 0 】

本発明は、上記の課題を解決するためになされたものであって、放射電磁雑音のレベルを低減させつつ、他のデジタル回路と一体的に形成することが可能なクロック発生装置およびクロック発生方法を提供することを目的とする。

【 0 0 1 1 】

また、放射電磁雑音のレベルを低減させつつ、他のデジタル回路と一体的に

形成することが可能なクロック発生装置を備えた基板および画像形成装置を提供することを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】

上記課題は以下の構成により解決することができる。

(1) 請求項1記載のクロック発生装置の発明は、基準クロックを遅延させた遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部と、先端基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、前記同期信号検出部で導き出された同期情報を参照して前記ディレイチェーン部から基準クロックに同期した同期クロックを選択するセレクト部と、前記セレクト部における前記同期クロックの選択と、ある任意の時間を加える方向での前記ディレイチェーン部からの遅延クロックの選択とを毎クロックごとに交互に実行するようして、クロック信号の時間間隔を分散させる切替制御部と、を有することを特徴とする。

【 0 0 1 3 】

(2) 請求項2記載のクロック発生装置の発明は、基準クロックを遅延させた遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部と、先端基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、前記同期信号検出部で導き出された同期情報を参照して前記ディレイチェーン部から基準クロックに同期した同期クロックを選択するセレクト部と、前記セレクト部における前記同期クロックの選択と、ある任意の時間を減じる方向での前記ディレイチェーン部からの遅延クロックの選択とを毎クロックごとに交互に実行するようして、クロック信号の時間間隔を分散させる切替制御部と、を有することを特徴とする。

【 0 0 1 4 】

(3) 請求項3記載のクロック発生装置の発明は、基準クロックを遅延させた遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチ

チェーン部と、先端基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、前記同期信号検出部で導き出された同期情報を参照して前記ディレイチェーン部から基準クロックに同期した同期クロックを選択するセレクト部と、前記セレクト部における前記同期クロックの選択と、ある任意の時間を加える方向での前記ディレイチェーン部からの遅延クロックの選択とを任意のクロックごとに交互に実行するようして、クロック信号の時間間隔を分散させる切替制御部と、を有することを特徴とする。

【 0 0 1 5 】

(4) 請求項4記載のクロック発生装置の発明は、基準クロックを遅延させた遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部と、先端基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、前記同期信号検出部で導き出された同期情報を参照して前記ディレイチェーン部から基準クロックに同期した同期クロックを選択するセレクト部と、前記セレクト部における前記同期クロックの選択と、ある任意の時間を減じる方向での前記ディレイチェーン部からの遅延クロックの選択とを任意のクロックごとに交互に実行するようして、クロック信号の時間間隔を分散させる切替制御部と、を有することを特徴とする。

【 0 0 1 6 】

(5) 請求項5記載のクロック発生装置の発明は、基準クロックを遅延させた遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部と、先端基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から1周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、前記同期信号検出部で導き出された同期情報を参照して前記ディレイチェーン部から基準クロックに同期した同期クロックを選択するセレクト部と、前記セレクト部における前記同期クロックの選択と、ある任意の時間を加える方向での前記ディレイチェーン部からの遅延クロックの選択と、ある任意の時間を減じる方向での前記ディレイチェーン部からの遅延クロックの選択

とを、毎クロックごとに交互に実行するようして、クロック信号の時間間隔を分散させる切替制御部と、を有することを特徴とする。

【 0 0 1 7 】

(6) 請求項 6 記載のクロック発生装置の発明は、基準クロックを遅延させた遅延クロックを生成するためにディレイ素子をチェーン状に接続したディレイチェーン部と、先端基準信号に同期した遅延クロックを前記ディレイチェーン部から複数選択し、その情報から 1 周期分のディレイ段数に相当する同期情報を導き出す同期信号検出部と、前記同期信号検出部で導き出された同期情報を参照して前記ディレイチェーン部から基準クロックに同期した同期クロックを選択するセレクト部と、前記セレクト部における前記同期クロックの選択と、ある任意の時間を加える方向での前記ディレイチェーン部からの遅延クロックの選択と、ある任意の時間を減じる方向での前記ディレイチェーン部からの遅延クロックの選択とを、任意のクロックごとに交互に実行するようして、クロック信号の時間間隔を分散させる切替制御部と、を有することを特徴とする。

【 0 0 1 8 】

(7) 請求項 7 記載のクロック発生装置の発明は、上記 (1) ～ (6) において、前記各部が集積回路で構成される、ことを特徴とする。

(8) 請求項 8 記載のクロック発生装置の発明は、上記 (1) ～ (6) において、前記各部がデジタル回路で構成される、ことを特徴とする。

【 0 0 1 9 】

(9) 請求項 9 記載のクロック発生装置の発明は、上記 (1) ～ (6) において、前記切替制御部を CPU により制御する、ことを特徴とする。

(10) 請求項 10 記載の基板の発明は、上記 (1) ～ (9) のいずれかのクロック発生装置が設けられた、ことを特徴とする。

【 0 0 2 0 】

(11) 請求項 11 記載の画像形成装置の発明は、上記 (1) ～ (9) のいずれかのクロック発生装置から出力されるクロックを用いて制御される、ことを特徴とする。

【 0 0 2 1 】

(12) 請求項12記載のクロック発生方法の発明は、チェーン状に接続したディレイ素子により基準クロックを遅延させて遅延クロックを生成し、前記遅延クロックの中から先端基準信号に同期した遅延クロックを複数選択することで、1周期分のディレイ段数に相当する同期情報を導き出し、前記同期情報を参照し、前記遅延クロックの中から基準クロックに同期した同期クロックを選択する第1の選択と、前記同期クロックに対して任意の時間を増減する方向の遅延クロックを選択する第2の選択とについて、所定の期間ごとに前記第1の選択と前記第2の選択とを交互に実行する、ことを特徴とする。

【0022】

【発明の実施の形態】

以下、図面を参照して、本発明の画像形成装置およびクロック発生装置の実施の形態例を詳細に説明する。

【0023】

〈クロック発生装置の全体構成〉

以下、本発明のクロック発生装置の実施の形態例を詳細に説明する。

この図1において、CPU401はクロック発生装置全体を制御する制御手段として動作している。なお、このCPU401が、クロックの1周期以内に、何れのクロックを選択するかを判断する手段を構成している。

【0024】

基準クロック発生部410は基準となるクロック（基準クロック：図1①）を生成している。

クロック生成部としてのディレイチェーン部420は入力信号（基準クロック発生部410からの基準クロック）を遅延させて位相が少しずつ異なる複数の遅延クロック（複数のクロック：図1②、図2参照）を得るための、本発明の請求項におけるクロック生成部を構成するディレイ素子群である。

【0025】

ここで、ディレイチェーン部420は、位相が少しずつ異なる遅延クロックについて、基準クロックの2周期分にわたって生成できる段数になるようにチェーン状にディレイ素子が縦続接続されていることが好ましい。

【 0 0 2 6 】

なお、ここではディレイ素子を用いて遅延クロックを生成したが、ディレイ素子を用いずに位相の異なる複数のクロックを生成できるクロック生成部を設けるようにしてもよい。

【 0 0 2 7 】

なお、基準クロック発生部 4 1 0 は、個々のクロック発生装置にそれぞれ内蔵されていてもよいが、単一の基準クロック発生部 4 1 0 からそれぞれのクロック発生装置や基板に基準クロックを分配してもよい。

【 0 0 2 8 】

同期信号検出部 4 3 0 は、複数のクロック（図 1 ②）の中で基準クロック（所望の入力信号の先端位置）に同期している遅延クロックの段数（同期ポイント）を検出する同期検出手段であり、同期情報（図 1 ③）を出力する。なお、この同期情報を位相差状態と呼ぶこともでき、この同期情報（位相差状態）は、後述する同期ポイント情報や位相差そのものの状態（位相差状態）を含む。

【 0 0 2 9 】

ここで、同期信号検出部 4 3 0 は、複数のクロック（図 1 ②）の中で、最初に基準クロックに同期している第 1 同期ポイント情報 V1st と、2 番目に基準クロックに同期している第 2 同期ポイント情報 V2nd と、それらの間の遅延段数 Vprd を出力することが好ましい。図 2 に示す例では、第 1 同期ポイント情報 V1st = 2 0，第 2 同期ポイント情報 V2nd = 5 0，遅延段数 Vprd = 3 0，となっている。

【 0 0 3 0 】

切替制御部 4 4 0 は、基準クロック発生部 4 1 0 からの基準クロック（図 1 ①）と、同期信号検出部 4 3 0 からの同期ポイント情報（図 1 ③）と、CPU 4 0 1 からのシフト情報（請求項における「出力クロック情報」：図 1 ④）とをもとにして、所望のタイミング（所定の時刻もしくは所定の時間）にクロックの立ち上がり立ち下がりを生じさせるために、複数のクロック（図 1 ②）の中からどの位相のクロックを選択すべきかのセレクト段数情報（請求項における「選択信号」：図 1 ⑤）を出力する。

【 0 0 3 1 】

なお、ここで切替制御部 4 4 0 に対して CPU 4 0 1 から与えられる「シフト情報」としては、

- ・シフト量情報 F R E Qdata (セレクト段数の間隔の情報)、
 - ・シフト回数情報 T I M E Sdata (動作を繰り返す情報)、
 - ・シフトモード情報 M O D Edata (周期を増加(減少)させるための情報)、
- などが存在する。

【 0 0 3 2 】

なお、この切替制御部 4 4 0 の構成は図 3 のようになっている。すなわち、基準クロックや有効期間信号 (H _ V A L I D、V _ V A L I D) を受けてカウンタデータを生成する切り替えカウンタ部 4 4 1 と、このカウンタデータ、CPU 4 0 1 からのシフト情報、同期信号検出部 4 3 0 からの同期ポイント情報 (V1st, V2nd, Vprd) を受けてセレクト段数情報 (Fsync) を生成するセレクト信号演算部 4 4 2 とから構成されている。

【 0 0 3 3 】

セレクト部 4 5 0 は、切替制御部 4 4 0 からのセレクト段数情報 (図 1 ⑤) を受け、複数のクロック (図 1 ②) の中から、時間間隔が分散された状態になるようにクロックを選択し、ディザリング・クロック (図 1 ⑥) として出力する選択手段である。ここで、時間間隔が分散された状態は、所望のタイミング (所定の時刻もしくは所定の時間) にクロックの立ち上がりと立ち下がりを生じさせることにより実現する。

【 0 0 3 4 】

なお、本願明細書において、出力するクロックの立ち上がり、立ち下がりまたは周期を変更することで、周波数変調と同様な効果を得ることを「クロック・ディザリング」と呼ぶ。また、このクロック・ディザリングによって得られたクロックを、「ディザリング・クロック」と呼ぶことにする。

【 0 0 3 5 】

以上の図 1 のクロック発生装置は、出力されるクロックの 1 周期以内に、複数のクロックのうち少なくとも 2 つの互いに位相の異なるクロックを選択・合成し

て出力する、あるいは、選択・合成するために判断することを特徴としている。
この選択・合成については、以下の(a)～(j)のような態様が考えられる。

- (a)複数のクロックのうちから何れかのクロックを選択して出力するとともに、出力されるクロックの1周期以内に、異なるクロックへ切り換えて出力する、
- (b)出力されるクロックの1周期以内に、複数のクロックのうち少なくとも2つの互いに位相の異なるクロックを合成して出力する、
- (c)複数のクロックのうちから何れかのクロックを選択して出力する際に、出力されるクロックの1周期以内に、何れのクロックを選択するかを判断する、
- (d)選択信号に基づいて複数のクロックのうちから何れかのクロックを選択して出力するとともに、出力されるクロックの1周期内の立ち上がり部に相当するクロックと立ち下がり部に相当するクロックとは異なるクロックを選択する、
- (e)選択信号に基づいて複数のクロックのうちから何れかのクロックを選択して出力する際に、出力されるクロックの1周期以内に、セレクト部へ選択信号を出力する、
- (f)予め設定されている出力クロック情報に基づいて、複数のクロックのうち何れのクロックを選択するかを示す選択信号を生成してセレクト部へ出力する、
- (g)予め設定されている出力クロック情報と、同期信号検出部により検出された位相差状態とに基づいて、複数のクロックのうち何れのクロックを選択するかを示す選択信号を生成してセレクト部へ出力する、
- (h)以上の(f)、(g)の出力クロック情報は、予め記憶部に記憶されている、または、演算回路により設定されている、
- (i)出力されるクロックが、複数のクロックのうち1つのクロックから、他のクロックへと切り換える際には、該1つのクロックと該他のクロックの論理が同じである、
- (j)基準クロックを遅延させて位相の異なる複数の遅延クロックを生成し、基準クロックと複数の遅延クロックとのうちから何れかのクロックを選択する、

なお、従来のクロック発生装置で生成されるクロックは図4 (a)に示すように、周期 t_1 は一定、かつ $t_2 = t_3$ （または、 t_2 と t_3 の比が一定）であった。これに対し、本実施の形態例のクロック発生装置で生成されるクロックは図

4 (b) に示すように、周期 t_1 は可変 ($t_1' \neq t_1''$) とすることが可能であり、さらに、 $t_2' \neq t_3'$ (または、 t_2' と t_3' の比 (デューティ) が可変) とすることが可能である。

【 0 0 3 6 】

なお、以上の選択・合成に関して、異なる位相のクロックを選択するだけでなく、結果として同じ位相のクロックを選択することもありうる。すなわち、選択するに際して、判断を加えることも本実施の形態例の特徴である。

【 0 0 3 7 】

図 5 は本実施の形態例の特徴部分である動作、すなわち、出力されるクロックの 1 周期以内に、複数のクロックのうち少なくとも 2 つの互いに位相の異なるクロックを選択・合成して出力する様子を模式的に簡略化して示すタイムチャートである。

【 0 0 3 8 】

ここでは、基準クロック CLK (図 5 (a))、複数のクロックとしての遅延クロック DL_{n-1} (図 5 (b))、複数のクロックとしての遅延クロック DL_n (図 5 (c))、複数のクロックとしての遅延クロック DL_{n+1} (図 5 (d))、および、複数のクロックのうち少なくとも 2 つの互いに位相の異なるクロックが選択・合成された出力クロック (図 5 (e)) を示している。

【 0 0 3 9 】

この図 5 では説明を簡単にするため、複数のクロックとして $DL_{n-1} \sim DL_{n+1}$ の 3 クロックを示している。そして、出力されるクロック (出力クロック) の 1 周期以内に、複数のクロックのうち少なくとも 2 つの互いに位相の異なるクロックの立ち上がりと立ち下がりから選択し、選択結果を合成することで、図 5 (e) に示す出力クロック CLK' を生成している。

【 0 0 4 0 】

この結果、図 4 (b) に示したような状態、すなわち、クロック周期 t_1 を可変にして、さらに、クロックのデューティを可変にすることが可能になる。

また、この実施の形態例では、出力クロックの 1 周期以内に、複数のクロックのうち少なくとも 2 つの互いに位相の異なるクロックを選択・合成しているため

、クロックの立ち上がりや立ち下がりに関して、少なくとも1クロックごとに任意の位置に制御することが可能になる。

【0041】

以上のように複数のクロックの選択によって所望の立ち上がりや立ち下がりの出力クロックを生成するため、CPU401からのシフト情報として、シフト量情報（セレクト段数の間隔の情報）、シフト回数情報（動作を繰り返す情報）、シフトモード情報（周期を増加（減少）させるための情報）などが、切替制御部440に与えられる。なお、CPU401は、内蔵あるいは外付けのROMやテーブルといった記憶部、または、演算回路などを参照して、以上のシフト情報（出力クロック情報）を生成する。

【0042】

そして、切替制御部440は、以上のシフト情報に従って、複数のクロック（図1②）の中からどの位相のクロックを選択すべきかのセレクト段数情報（図1⑤）をセレクト部450に対して出力する。そして、セレクト部450は、切替制御部440からのセレクト段数情報を受け、複数のクロックの中から、時間間隔が分散された状態になるようにクロックを選択し、出力クロック（ディザリング・クロック）を出力する。

【0043】

なお、図5において、具体的には、選択される双方のクロック間で論理が同じ（HとH（図5①）、あるいは、LとL（図5②））のように、ディザリング・クロックを生成するための複数のクロックの選択は、基準クロックの1/4付近のタイミング（図5①）あるいは基準クロックの3/4付近のタイミング（図5②）で行う。このようにすると、ノイズが発生せず安定した動作が実現できる。図5の場合には、HとHである①付近で複数のクロックの選択を行った場合の例を示している。すなわち、セレクト部450で、出力されるクロックが、複数のクロックのうち1つのクロックから、他のクロックへと切り換える際には、該1つのクロックと該他のクロックの論理が同じであることを特徴としている。

【0044】

また、この図5で示したものでは3種類のクロックから出力クロックの立ち上

がりと立ち下がりとを決定するようにしているが、実際にはディレイチェーン部 4 2 0 からの多数のクロックから選択するので、出力クロックの立ち上がりや立ち下がりに関して、少なくとも 1 クロックごとに任意の位置に制御することが可能になる。

【 0 0 4 5 】

また、この図 6 では、第 1 同期ポイント情報 $V1st = 8$ 、第 2 同期ポイント情報 $V2nd = 19$ 、遅延段数 $Vprd = 11$ 、の場合におけるシフト情報の各種の状態を示したタイムチャートである。なお、 $REVICEdata = FREQdata * Vprd$ とであるとす。

【 0 0 4 6 】

ここでは、

- ①信号制御が行われない場合の $Fsync$ (図 6 (d)) : $REVICEdata = 0$,
 - ②信号制御が+方向 (周波数を下げる方向) に 1 回行われる場合の $Fsync$ (図 6 (e)) : $REVICEdata = 1$, $TIMESdata = 1$, $MODEdata = 00$,
 - ③信号制御が-方向 (周波数を上げる方向) に 1 回行われる場合の $Fsync$ (図 6 (f)) : $REVICEdata = 1$, $TIMESdata = 1$, $MODEdata = 11$,
 - ④信号制御が±方向 (交互方向) に 1 回行われる場合の $Fsync$ (図 6 (g)) : $REVICEdata = 1$, $TIMESdata = 1$, $MODEdata = 01$,
 - ⑤信号制御が+方向 (周波数を下げる方向) に 2 回行われる場合の $Fsync$ (図 6 (h)) : $REVICEdata = 1$, $TIMESdata = 2$, $MODEdata = 00$,
 - ⑥信号制御が-方向 (周波数を上げる方向) に 2 回行われる場合の $Fsync$ (図 6 (i)) : $REVICEdata = 1$, $TIMESdata = 2$, $MODEdata = 11$,
 - ⑦信号制御がランダム方向 (不規則方向) に 1 回行われる場合の $Fsync$ (図 6 (j)) : $REVICEdata = 1$, $TIMESdata = 1$, $MODEdata = 10$,
- の様子を示している。

【 0 0 4 7 】

以上のようにして、出力されるクロックの 1 周期以内に、複数のクロックのうち少なくとも 2 つの互いに位相の異なるクロックを選択・合成して出力することにより、出力クロック (ディザリング・クロック) の周波数をある程度変更する

ことが可能である。

【0048】

この場合に、図7（a）のように、出力クロックの周波数を正弦波の形に変化させ、周波数変調と同様な結果を得ることが可能である。なお、実際には、ディジタル回路で実行するため、細かくみると図7（b）のような状態で周波数偏差が変化している。なお、ここでは正弦波の例を示したが、三角波、矩形波、その他の任意の形状であってもよい。このような制御のため、CPU401は、内蔵あるいは外付けのROMやテーブルといった記憶部あるいは演算回路等を参照して、以上の正弦波や三角波、あるいは、矩形波やその他の任意の波形を生成するためのシフト情報（出力クロック情報）を生成する。

【0049】

以上の場合に、周波数変調の場合と同様に周波数偏差が生じているため、出力クロックの周波数帯域が広がることになる。この結果、クロックもしくはその高調波によって生じる電磁放射のスペクトルが広がると共に、ピークの電界強度が低下することになる（図8参照）。これにより、本実施の形態例のクロック発生装置を、各種の機器のクロック発生部にEMI対策として用いると良好な結果が得られる。

【0050】

なお、以上のシフト情報に応じて周波数偏差が異なり、また、周波数偏差＝0にとどまる時間が異なるため、電磁放射のスペクトルは異なった状態になるため、電磁放射のピークを低減させる必要に応じてシフト情報を定めるようにすればよい。

【0051】

そして、本実施の形態例のクロック発生装置、およびクロック発生装置を備えた回路基板は、全体がディジタル回路で構成されているため、精度の管理が容易である。また、ディジタル回路であるため、扱いが容易になるという利点もある。

【0052】

また、以上の構成で、基準クロック発生部だけ、ディレイチェーン部だけ、各

制御部だけ、セレクト部だけ、あるいはCPUだけというように、それぞれを独立して配置してもよいが、それぞれを組み合わせることで1チップの集積回路として配置することができる。この場合には、集積回路としたことで小型化が実現でき、取り扱いも容易になるという利点がある。さらに、以上のそれぞれの構成要素の一部を兼用したデバイスにより配置することも可能である。また、本実施の形態例のクロック発生装置を、他のデジタル回路と同一基板上に配置することも可能である。

【0053】

なお、入力されるクロックをPLL回路によって周波数変調してディザリング・クロックとして出力する市販のICなどでは、不連続なクロックに対して正常動作が保証されていなかったり、内部にフィードバックループを有するためセットアップタイムがかかるといった問題を有していたが、全体がデジタル回路で構成されている本実施の形態例では、そのような問題は解消される。すなわち、本実施の形態例のクロック発生では、不連続なクロックに対しても正常動作が期待でき、各種の変動に対してリアルタイムで演算して瞬時に結果を得ることが可能になっている。

【0054】

〈その他の実施の形態例：画像形成装置①〉

本発明のクロック発生装置を適用した画像形成装置の実施の形態例について説明する。以下、図面に基いて本発明を説明するが、これに先立ち、画像形成装置と画像読取装置とを有したデジタル複写機について、その概略を説明する。

【0055】

図9はデジタル複写機（以下、単に複写装置ともいう）1の側断面の構成を模式的に示す断面図である。

この図9において、複写装置1は、自動原稿搬送装置（通称ADF）Aと、自動原稿搬送装置Aにより搬送される原稿の画像を読み取るための原稿画像読取部Bと、原稿画像読取部Bで読み取られた画像を記録紙に画像形成する画像形成部（符号なし）とを有し、画像形成部の上方に原稿画像読取部Bが、原稿画像読取部Bの上方に自動原稿搬送装置Aが設けられている。

【 0 0 5 6 】

画像形成部は、読み取られた画像データに従って書き込みを行う書込部Dと、記録紙上に画像形成を行うエンジン部Eと、記録紙（以下、シートという）Pを収納するトレイ等の複数の給紙収納手段（以下、給紙トレイ、または、単に、トレイという）22、24等を有している。

【 0 0 5 7 】

自動原稿搬送装置Aは、原稿載置台26と、ローラR1を含むローラ群および原稿の移動通路を適宜切り替えるための切換手段等（参照記号なし）を含む原稿搬送処理部28とを主要素とする。原稿画像読取部Bは、天板ガラスGの下にあり、光路長を保って往復移動できる2つのミラーユニット30、31、固定の結像レンズ（以下、単にレンズという）33、ライン状の撮像素子（以下、CCDという）35等からなる。自動原稿搬送装置Aは、従来の自動原稿搬送装置と構成上の相違はあるものの原理そのものは公知であり、また、原稿読取部Bもよく知られているので、その辺の説明は簡略に行うこととする。

【 0 0 5 8 】

書込部Dは、レーザ光源（以下、LDともいう）40、ポリゴンミラー（偏光器であり、以下、ポリゴンともいう）42等からなり、像担持体10上に、画像データに基づいた像露光を行う。エンジン部Eは、感光体ドラムからなる像担持体10と、帯電電極14と、磁気ブラシ型現像装置からなる現像手段16と、転写電極18と、分離電極20と、クリーニング手段21と、定着手段H等から構成され、記録紙上に画像を形成する手段である。このエンジン部Eは、像担持体10上にトナー像を形成し、かつ、シート上に当該トナー像を転写させ、シート上にトナー像を定着させるものであり、その構成およびプロセスはよく知られているので、その説明は簡略に行うこととする。

【 0 0 5 9 】

上記構成において、像担持体10上にトナー像を形成し、シート上に転写させた後、排紙トレイに排紙するプロセスは、概略、下記の通りである。

原稿載置台26上に載置される原稿（図示せず）の1枚が原稿搬送処理部28中で搬送され、ローラR1の下を通過中に、露光手段Lによるスリット露光が行

われる。原稿からの反射光は、固定位置にある前記ミラーユニット 3 0、3 1 およびレンズ 3 3 を経て前記 C C D 上に結像され、読みとられる。原稿画像読取部 B で読みとられた画像情報（画像データ）は、画像処理処理され、圧縮されて画像メモリー Z 3 に格納される。

【 0 0 6 0 】

そして、画像メモリー Z 3 に格納された画像データは画像形成に応じて呼び出されて伸長され、当該画像データに従って、書込部 D における L D 4 0 が駆動され、像担持体 1 0 上に露光が行われる。この露光に先立ち、矢印方向（反時計方向）に回転する像担持体 1 0 は、帯電電極 1 4 のコロナ放電作用により所定の表面電位を付与されているが、前記露光により、露光部位の電位が露光量に応じて減じ、結果として、画像データに応じた静電潜像が像担持体 1 0 上に形成される。静電潜像は、前記現像手段 1 6 により反転現像され、可視像（トナー像）とされる。

【 0 0 6 1 】

一方、像担持体 1 0 上のトナー像の先端部が転写領域に到達する前に、例えば、給紙トレイ 2 2 内の 1 枚のシート P が給紙搬送されてレジストローラ R 1 0 に到達し、先端規制されている。シート P は、トナー像、すなわち像担持体 1 0 上の形成されたトナー像と画像領域と重畳するように、同期を取って回転を開始するレジストローラ R 1 0 により転写領域に向けて搬送される。転写領域において、像担持体 1 0 上のトナー像は転写電極の付勢によりシート P 上に転写され、次いで、当該シート P は分離電極 2 0 の付勢により像担持体 1 0 から分離される。

【 0 0 6 2 】

その後、定着手段 H の加圧、加熱により、前記トナー像を形成するトナー粉末はシート P 上に溶融定着され、当該シート P は、排紙路 7 8 および排紙手段である排紙ローラ 7 9 を介して排紙トレイ T 上に排紙される。

なお、図 9 において、シート P は給紙トレイ 2 2 にのみ示してある。

【 0 0 6 3 】

ここで、給紙トレイ 2 4 における参照記号 S は、図示しないコイルバネ等の付勢手段により、常時、自由端が上方向に付勢される可動板であり、この結果、最

上位紙が後述する送り出しローラに接触する様になっている。なお、給紙トレイ 22 も上述の構成と同じ構成を有している。給紙トレイ 22、24 は、シートを収納する給紙収納手段であり、実施の態様において、上下方向に 2 段に配設した形態にあるが、それ以上の数の給紙トレイを備えることもできる。

【0064】

この給紙トレイ 24 の底部と装置本体の底壁との間に、所定の間隙を持った空間部 25 を形成してある。この空間部 25 は、シート P の両面に画像を形成する態様（モード）において使用するものであり、シートの表裏反転用の第 2 搬送路 80（後記）の一部であって、シートの表裏を反転させるための反転路を構成する。

【0065】

給紙トレイ 22、24 のそれぞれの先端部（給紙方向にみて、収納されるシート P の先端に対応する）上部には、送り出しローラ 50、53 と、送り出しローラ 50、53 の下流に設けてあるフィードローラ 51、54 と、フィードローラ 51、54 と圧接し、シート P の複数枚送りを防止するための重送防止ローラ 52、55 とが設けられており、これらは、給紙トレイ 22、24 に収納されたシートを、1 枚ずつ分離しながら送り出す給紙手段である。

【0066】

60 は、画像形成装置本体外に少なくとも一部が突出し、シートが載置される外部収納手段である手差し給紙トレイで、画像形成装置の本体側壁に対して下端を支点として開閉できるように構成してある。手差し給紙トレイ 60 上に載置されるシート P を画像形成に伴って送り出すために、送り出しローラ 61、送り出しローラ 61 の下流に設けてあるフィードローラ 63、フィードローラ 63 と圧接し、シート P の複数枚送りを防止するための重送防止ローラ 65 が、前述した給紙トレイ 22、24 に対応して設けた給紙手段と同じ機能を果たすべく、実質的に同じ構成を有した外部給紙手段である。

【0067】

シートの搬送路は、シート P 上に画像形成（画像記録）を行わせるための画像形成路 70（シートの移動方向にみて、下方から上方に延びている）と、上段の

給紙トレイ 2 2 に収納されるシートを搬送する上段給紙路 7 2、下段の給紙トレイ 2 4 に収納されるシートを搬送する下段給紙路 7 4、画像形成がなされたシートを排紙トレイ T 上に排紙するための排紙路 7 8 を有している。すなわち、各給紙トレイ 2 2、2 4 から、画像形成手段 E を介して、排紙ローラ 7 9 までのシートが搬送される。このシートが搬送される搬送路を、本明細書においては第 1 搬送路という。なお、この第 1 搬送路は、シートの片面に画像を形成する際に、シートが搬送される搬送路である。

【 0 0 6 8 】

(上側) 分岐ガイド 9 0 は、第 1 面に画像形成されたシート P あるいは両面に画像形成されたシートを排紙路 7 8 に向かわせたり、または、後述する第 2 搬送路 8 0 に向かわせたりするように制御されるものである。換言すれば、ユーザ設定の画像形成の形態 (シートの片面のみに画像を形成するモードか、シートの両面に画像を形成するモードか) に応じて制御され、図 9 において上側に向けて、画像形成路 7 0 を搬送されているシート P の搬送路を、排紙路 7 8 か、第 2 搬送路かを切り替える切替手段である。具体的にいえば、シートの両面に画像形成を行うモードが設定されている場合、分岐ガイド 9 0 は、第 1 面に画像形成され、転写トナー像を有するに至ったシート P を第 2 搬送路 8 0 に送り込むように、図の破線位置に位置づけられるように図示しない制御部を介して制御される。また、シートの片面に画像形成を行うモードが設定されている場合、又は、シートの両面に画像形成を行うモードが設定され、かつ、シートの両面に画像形成がなされたシートを搬送する場合、分岐ガイド 9 0 は、図の実線位置をとるように図示しない制御部を介して制御される。

【 0 0 6 9 】

また、画像形成装置は、片面に画像が形成されたシートに再度画像形成が可能なように、第 2 搬送路 8 0 を有している。シートの第 2 面に対する画像形成プロセスは下記の通りである。

【 0 0 7 0 】

前述した如く、第 1 面に画像形成されたシート P が第 1 搬送路 (画像形成路 7 0) を上昇移動し、その先端が分岐ガイド 9 0 に達したとき、当該分岐ガイド 9

0は図の破線位置に保たれているので、シートPは第2搬送路80に進入し、移動を継続する。第2搬送路80の進入部は緩やかな円弧を描いており、シートPのスムーズな移動を保証する。そして、第2搬送路80の進入部で円弧を描いてUターンしたシートPは、第2搬送路80を反転路へと下降し、反転ローラR20に挟持され、分岐ガイド93の方向に送り出される。このとき、分岐ガイド93は図示の実線位置にあるので、送り出されてくる前記シートPは下段の給紙トレイ24の下に形成してある前記空間部25に導かれる。この空間部25に導かれたシートPの画像形成された第1面は下側にある。

【0071】

そして、反転ローラR20がシートPの後端を挟持した状態で回転を停止し、その後、前記と逆方向に回転を開始すると、シートPは表裏を反転された状態、すなわち、画像が形成されていない第2面が像担持体10側に向けられた状態で第1搬送路（下段給紙路74を介して、画像形成路70）に送り込まれ、レジストローラR10で先端規制される。

【0072】

一方、像担持体10上には、前述したプロセスにより第2のトナー画像（裏面のトナー画像）が形成されており、当該像担持体10の回転に同期してレジストローラR10が回転を始めると、第2のトナー画像領域と重なる状態でシートPが転写領域に進入する。以後、転写処理、分離処理、定着処理がされて、裏面の画像が形成されたシートPの先端が分岐ガイド90のある部分に達したとき、分岐ガイド90は図の実線位置に保たれており、画像形成路70と排紙路78とを連通状態とし、第2搬送路80との連通を絶っているため、シートPは排紙路78に進入し、排紙ローラ79を介して排紙トレイT上に排出される。

【0073】

ところで、手差し給紙部に設けられた手差し給紙トレイ60であるが、実施の形態においては、図1に示す如く、その外側面が装置本体の側壁となる開閉扉100上に設けてある。また、手差し給紙トレイ60を含め、手差し給紙トレイ60上に載置されるシートを送り出す給紙手段は、給紙トレイ22用の給紙装置と略同じ高さ位置を以て、開閉扉に取り付けてある。

【 0 0 7 4 】

手差し給紙トレイ 6 0 上から装置内に送り込まれるシート P の搬送路（以下、第 3 搬送路という）6 6 は、記第 2 搬送路 8 0 を横切って延び、第 1 搬送路に連通するように構成してある。

具体的には、画像形成路 7 0 のシート搬送方向上流側の転写電極 1 8 のある画像記録部よりも手前側、より具体的には、前記レジストローラ R 1 0 の手前側（上流側）である合流部 7 6 を終端とするように構成してある。

【 0 0 7 5 】

図 1 0 は、複写機 1 の制御系をあらわしたブロック図である。

自動原稿搬送装置 A は、上述したように、原稿の搬送を行う装置であり、制御系としては、自動原稿搬送装置 A の駆動制御するための制御回路である A D F 制御回路 A 1 と、クロックを生成する発振器 A 5 とを有している。この発振器 A 5 は、通常のクロックを生成する回路である。そして、A D F 制御回路 A 1 は、ローラ群や切替手段等を含む原稿搬送処理部 2 8 や原稿のサイズ検知を行うためのセンサ（不図示）などを駆動制御するための回路であり、ゲートアレイのみで構成されてもよく、あるいは、ゲートアレイの他に、ROM や RAM などとともに CPU を有していてもよい。この A D F 制御回路 A 1 は、発振器 A 5 で生成されたクロックで駆動される。また、自動原稿搬送装置 A は、後述する画像処理 & エンジン制御基板（以下、エンジン制御基板ともいう）C とデータの授受を行い、エンジン制御基板 C に管理されながら、原稿の搬送の制御が行われる。

【 0 0 7 6 】

原稿画像読取部 B は、上述したように、原稿の画像を光電変換する部であり、制御系としては、原稿画像読取部 B のメカを駆動制御するための制御回路である読取メカ制御回路 B 1 と、クロックを生成する発振器 B 5 と、光電変換部である CCD 3 5 を制御する光電変換制御回路である CCD 制御回路 B 2 を有している。このクロック発生装置 B 5 は、上述した発振器 A 5 と同様に通常のクロックの生成を行う回路である。そして、読取メカ制御回路 B 1 は、上述した 2 つのミラーユニット 3 0、3 1 の移動や、拡大・縮小に合わせたレンズ 3 3 の移動など、原稿画像読取部 B のメカ系の駆動を制御するための回路であり、ゲートアレイの

みで構成されてもよく、あるいは、ゲートアレイの他に、ROMやRAMなどとともにCPUを有していてもよい。この読取メカ制御回路B1は、クロック発生装置B5で生成されたクロックで駆動される。

【0077】

また、CCD制御回路B2は、CCD35を駆動するための制御回路である。このCCD制御回路B2は、クロック発生装置B5からのクロックではなく、後述するようにクロック発生装置CR6からのディザリング・クロックで駆動される。また、原稿画像読取部Bは、後述するエンジン制御基板Cとデータの授受を行い、エンジン制御基板Cに管理されながら、制御を行う。

【0078】

書込部Dは、上述したように、画像データに従って書き込みを行う部であり、制御系としては、画像データに基づいてLD40から出射される光の変調を制御する書込制御回路D1と、偏向器であるポリゴン42で偏向されたLD40から出射された光を検出してインデックス信号を出力する検出器（インデックスセンサ）D2とを有している。ここで、検出器D2は、副走査方向（像担持体10の移動方向）の各ライン毎に、LD40の光を検出してインデックス信号を出力し、このインデックス信号に基づいて、主走査方向の書込開始がなされるものであって、この構成自体は、公知であるので、ここでは説明を省略する。書込制御回路D1は、画像データに基づいたLD40の強度変調及び／又はパルス幅変調の制御を行うための回路であり、ゲートアレイのみで構成されてもよく、あるいは、ゲートアレイの他に、ROMやRAMなどとともにCPUを有していてもよい。この書込制御回路D1は、後述する発振器CW1で生成されたクロックで駆動される。また、書込部Dは、後述するエンジン部Eやエンジン制御基板Cとデータの授受を行い、エンジン部Eやエンジン制御基板Cに管理されながら、画像データに基づいた露光（書込）を行う。

【0079】

エンジン部Eは、上述したように、画像をシート上に形成する部であり、制御系としては、エンジン部Eの各部の動作やプロセス条件を制御するエンジン制御回路E1と、クロックを生成する発振器E5とを有している。このクロック

発生装置 E 5 は、上述した発振器 A 5 と同様に通常のクロックの生成を行う回路である。そして、エンジン制御回路 E 1 は、上述した像担持体 1 0、帯電電極 1 4、現像手段 1 6、転写電極 1 8、分離電極 2 0、定着手段 H などの駆動を制御するための回路であり、ゲートアレイのみで構成されてもよく、あるいは、ゲートアレイの他に、ROM や RAM などとともに CPU を有していてもよい。このエンジン制御回路 E 1 は、クロック発生装置 E 5 で生成されたクロックで駆動される。エンジン部 E は、後述するエンジン制御基板 C とデータの授受を行い、エンジン制御基板 C に管理されながら、制御を行う。

【 0 0 8 0 】

操作部 U は、複写機 1 の前面に設けられた操作パネル（液晶などの表示部及びタッチパネルやキーなどの入力部を備えたパネル）に、複写機の動作の状態やユーザーが動作の設定を行うための部であり、制御系としては、操作パネルの表示の制御や押圧の検知を行う操作制御回路 U 1 と、クロックを生成する発振器 U 5 とを有している。この発振器 U 5 は、上述した発振器 A 5 と同様に通常のクロックの生成を行う回路である。そして、操作制御回路 U 1 は、液晶への表示制御及びタッチパネルやキーの押圧検知などの制御をするための回路であり、ゲートアレイのみで構成されてもよいが、表示文字等が多いため、ゲートアレイの他に、ROM や RAM などとともに CPU を有していることが好ましい。この操作制御回路 U 1 は、クロック発生装置 U 5 で生成されたクロックで駆動される。操作部 U は、後述する全体制御基板 Z とデータの授受を行い、全体制御基板 Z に管理されながら、制御を行うとともに、ユーザーにより設定された情報を全体制御基板 Z へと伝達する。

【 0 0 8 1 】

インタフェース部（以下、I / F 部という）V は、外部機器（例えば、FAX やプリントコントローラなど外部機器であり、この場合、複写機 1 に内蔵されるものであってもよい）との通信（データの授受）を行うためのインタフェース部であり、制御系としては、外部機器とのインタフェースの制御を行う I / F 制御回路 V 1 と、クロックを生成する発振器 V 5 とを有している。この発振器 V 5 は、上述した発振器 A 5 と同様に通常のクロックの生成を行う回路である。そして

、I/F制御回路V1は、インタフェースの制御を行う回路であり、ゲートアレイのみで構成されてもよいが、ゲートアレイの他に、ROMやRAMなどとともにCPUを有していてもよい。このI/F制御回路V1は、発振器V5で生成された通常のクロックで駆動される。I/F部Vは、後述する全体制御基板Zとデータの授受を行い、全体制御基板Zに管理されながら、制御を行うとともに、外部機器からの情報を全体制御基板Zへと伝達する。

【0082】

エンジン制御基板Cは、自動原稿搬送装置A、原稿画像読取部B、書込部D、エンジン部Eなどを管理するとともに、シートの搬送制御や画像処理を行うための基板であり、これら管理や制御を司るCPUC1と、クロックを生成する発振器C5と、読み取った画像データの画像処理などを行う読取制御部CRと、書き込む画像データの画像処理を行う書込制御部CWとを有している。この発振器C5は、上述した発振器A5と同様に通常のクロックの生成を行う回路である。そして、CPUC1は、図示しないROMに格納されたプログラムに基づいて、図示しないRAMを作業領域として、種々の制御を行う制御回路として機能する。このCPUC1は、発振器C5で生成されたクロックで駆動される。なお、このエンジン制御基板Cは、自動原稿搬送装置A、原稿画像読取部B、書込部D、エンジン部Eおよび後述する全体制御基板Zとデータの授受を行うよう構成され、全体制御基板Zによる管理下のもとで、自動原稿搬送装置A、原稿画像読取部B、書込部D、エンジン部Eを制御する。

【0083】

読取制御部CRは、CCD制御回路B1を制御するためのクロック信号を与えると同時に、CCD35によって光電変換された画像データの画像処理を行う部であり、原稿画像読取部Bとともに画像読取装置の一部を構成する。この読取制御部CRは、画像データの画像処理を行う読取画像処理回路CR1と、ディザリング・クロックを生成するクロック発生装置CR6を有している。読取画像処理回路CR1は、CCD35によって読み取られた画像データに対して、領域判別、輝度／濃度変換、フィルター、変倍、ガンマ変換、誤差拡散、スムージングなどの画像処理を施す回路であり、ゲートアレイのみで構成されているが、ゲート

アレイの他に、ROMやRAMなどとともにCPUを有していてもよい。このクロック発生装置CR6は、ディザリング・クロックの生成を行う回路である。

【0084】

以上のクロック発生装置は、時間間隔が分散された状態になるように複数のクロックの中から所望のクロックを選択し、ディザリング・クロックとして出力するものである。このディザリング・クロックは、図11に示すような所定の変調プロファイルに基づいて、所定の周期T間隔で周波数を変調されたものである。なお、この周波数偏差の幅（すなわち、帯域幅）変調幅（図8における左右方向の幅であり、図11においては上下方向の幅）は、拡散されたディザリング・クロックの周波数の中心（基準クロック信号の周波数 N_r を中心に周波数偏差を生じさせた場合は、 N_r ）に対して、 $\pm 10\%$ （好ましくは、 $\pm 5\%$ 以内、さらに好ましくは、 $\pm 2.5\%$ 以内）である（図11における実線）。

【0085】

なお、変調幅は、基準クロック信号の周波数を中心に行う必要はなく、基準クロック信号の周波数を、変調幅の最大周波数としてもよく（図11における一点鎖線）、逆に、変調幅の最小周波数としてもよい（図11における鎖線）。

【0086】

また、変調プロファイルとして正弦波などでもよいが、図11に示すような変調プロファイルの方が、一定の周波数にとどまる時間が小さくなるため、スペクトラムを均一に拡散でき、EMI成分のピークを低減するうえで望ましい。

【0087】

そして、このディザリング・クロックは、読取画像処理回路CR1の駆動クロックとして、読取画像処理回路CR1に入力され、読取画像処理回路CR1は、このディザリング・クロックで駆動される。また、このディザリング・クロックは、CCD制御回路B1の駆動クロックとして、CCD制御回路B1にも入力され、CCD制御回路B1は、ディザリング・クロックで、駆動される。なお、読取画像処理回路CR1で画像処理がなされた画像データは、後述する記録画像処理回路CW1へ直接出力されるか、あるいは、後述する圧縮伸長回路Z2を介して画像メモリZ3に格納される。

【 0 0 8 8 】

書込制御部 C W は、書込制御回路 D 1 を制御するためのクロック信号を与えるとともに、画像データの画像処理を行う部分である。この書込制御部 C W は、画像データの画像処理を行う書込画像処理回路 C W 1 と、クロックを生成する発振器 C W 5 とを有している。書込画像処理回路 C W 1 は、画像メモリ Z 3 から読み出され伸長された画像データあるいは読取画像処理回路 C R 1 から出力された画像データを、書込部 D やエンジン部 E の特性に合わせた画像処理を施し、 L D 4 0 へ出力する回路であり、ゲートアレイのみで構成されているが、ゲートアレイの他に、 R O M や R A M などとともに C P U を有していてもよい。この発振器 C W 5 は、上述した発振器 A 5 と同様に通常のクロックの生成を行う回路である。このクロックは、書込画像処理回路 C W 1 の駆動クロックとして、書込画像処理回路 C W 1 に入力され、書込画像処理回路 C W 1 は、このクロックで駆動される。また、このクロックは、書込制御回路 D 1 の駆動クロックとして、書込制御回路 D 1 にも入力され、書込制御回路 D 1 はクロックで書込画像処理回路 C W 1 から出力される画像データに応じた変調をかけ、 L D 4 0 を駆動する。

【 0 0 8 9 】

全体制御基板 Z は、複写機全体の制御を司る基板、すなわち、複写機全体のシーケンスの制御を行うための基板である。この全体制御基板 Z には、複写機全体のシーケンス制御を行うシーケンス制御回路である C P U Z 1 と、画像データを圧縮／伸長する圧縮伸長回路 Z 2 と、画像データを記憶する画像メモリ Z 3 と、ディザリング・クロックを生成するクロック発生装置 Z 6 を有している。

【 0 0 9 0 】

このクロック発生装置 Z 6 は、上述したクロック発生装置 C R 6 と同様であるので、その説明は省略する。そして、 C P U C 1 は、図示しない R O M に格納されたプログラムに基づいて、図示しない R A M を作業領域として、複写機全体のシーケンス制御を行うシーケンス制御回路として機能する。この C P U C 1 は、クロック発生装置 Z 6 で生成されたディザリング・クロックで駆動される。圧縮伸長回路 Z 2 は、 C C D 3 5 で読み取られた画像データ（読取画像処理回路 C R 1 で画像処理された画像データ）を圧縮する圧縮回路と、後述する画像メモリ Z

3に記憶された画像データ（圧縮されたデータ）を伸長して記録画像処理回路C W 1へ出力する伸長回路とから構成されるゲートアレイである。また、画像メモリZ 3は、圧縮伸長回路Z 2で圧縮された画像データを記憶する記憶手段である。この圧縮伸長回路Z 2および画像メモリZ 3は、クロック発生装置Z 6で生成されたディザリング・クロックで駆動される。なお、この全体制御基板Cは、操作部U、I/F部Vおよびエンジン制御基板Cとデータの授受を行い、複写機全体の制御を行うよう構成されている。

【0091】

このように本実施の形態例の画像形成装置では、CCD制御回路B 1および読取画像処理回路C R 1は、同じディザリング・クロックで駆動される。これは、CCD制御回路B 1と読取画像処理回路C R 1とを、異なるディザリング・クロックで駆動させた場合は、CCD 3 5から出力される画像データと、画像処理を施す画像データとの整合がとれず、良好な画像読取ができないためである。なお、本実施の形態では、この読取画像処理回路C R 1は、CCD 3 5の読み取りにリアルタイムで画像処理を施しているので、特にこの問題を解決することができる。

【0092】

また、本実施の形態では、少なくとも1つの制御回路（本実施の形態では、CCD制御回路B 1と読取画像処理回路C R 1）がディザリング・クロックで駆動されるとともに、書込制御回路D 1は通常のクロックで駆動されるよう構成している。これは、一般に、書き込み系は高精度が要求され、そのため、普通にディザリング・クロックを用いた場合には、そのクロックの位相の変化により書き込みにムラが生じやすいため、良好な画像記録ができにくいためである。

【0093】

そして、本実施の形態においては、ディザリング・クロックを用いているので、基本波や高調波の輻射のピーク部分の強度の低減をおこなうことができ、EMI対策も十分にとることができる。

【0094】

〈画像形成装置②〉

図 1 2 はさらに他の実施の形態例における複写機 1 の制御系をあらわしたブロック図である。なお、本実施の形態例においては、上述した実施の形態例と基本的に同じ構成については同じ符号を付与し、以下において特に説明がない限り、上述の実施の形態例と同じであり、その説明を省略する。

【 0 0 9 5 】

上述した実施の形態においては、2つのクロック発生装置 C R 6、Z 6 を利用し、複数の制御回路のうちディザリング・クロックで駆動された制御回路は、C C D 制御回路 B 2、読取画像処理回路 C R 1、C P U Z 1、圧縮伸長回路 Z 2、画像メモリ Z 3 であった。

【 0 0 9 6 】

しかし、この実施の形態においては、図 1 2 に示すように、クロック発生装置 A 6、B 6、E 6、U 6、V 6、C 6、C R 6、C W 6、Z 6 のそれぞれから、ディザリング・クロックが出力されるように構成している。このように、すべての部位で、ディザリング・クロックを生成するクロック発生装置を設けて、各制御回路をディザリング・クロックで駆動するようにしている。これにより、より E M I 対策を図ることができる。

【 0 0 9 7 】

ところで、各所にクロック発生装置を単純に設けた場合、良好な画像記録ができなかったり、良好な画像読み取りができなかったり、さらには、種々の制御回路間での整合が取れなかったり種々の問題が発生した。

【 0 0 9 8 】

そこで、本実施の形態においては、各クロック発生装置 A 6、B 6、E 6、U 6、V 6、C 6、C R 6、C W 6、Z 6 で生成されるディザリング・クロックの周波数偏差を、それぞれの W A、W B、W E、W U、W V、W C、W C R、W C W、W Z とすると、次のいずれかのように各周波数偏差の設定を行うことにより、上述の問題を解決することができた。

$$W V < W C W < W C R < W A,$$

$$W V < W C W < W C R < W B,$$

$$W V < W C W < W C R < W E,$$

$$WV < WCW < WCR < WU,$$

$$WV < WCW < WCR < WC,$$

$$WV < WCW < WCR < WZ$$

すなわち、外部機器との通信を行う I/F 制御回路 V1 を駆動するディザリング・クロックの周波数偏差 WV をもっとも狭くすることで、外部機器との通信エラーの発生を抑制することができ、外部機器との整合性の確保を行うことができる。

【 0 0 9 9 】

また、書込制御を行う書込制御回路 D1 を駆動するディザリング・クロックの周波数偏差 WCW を、周波数偏差 WV よりは広くし、その他の周波数偏差 (WCR、WA、WB、WE、WU、WC、WZ) よりも狭くすることで、拡散による書き込みにムラを抑えて良好な画像記録を行うことができる。また、CCD 制御回路 B2 を駆動するディザリング・クロックの周波数偏差 WCR を、周波数偏差 WV、WCW よりは広くし、その他の周波数偏差 (WA、WB、WE、WU、WC、WZ) よりも狭くする。これは、本発明者らが検討を行った結果、読取り系では、ディザリング・クロックによる画像信号の影響は CCD 35 が 1 ラインの画像を読込むときの蓄積時間の変化になって現れ、1 画素 1 画素の画像データに対しては影響は少ない。また、1 ラインの蓄積時間に比較してクロックの周波数偏差の変化は無視できるほど小さい。これに対して、書込み系では、ディザリング・クロックによる画像信号の影響は 1 画素 1 画素の印字位置に現れ、個々の画素の印字位置の変化はジッターとなって画質の低下を招く。

【 0 1 0 0 】

さらに、本実施の形態では、検出器 (インデックスセンサ) D2 によるインデックス信号の出力を、クロック発生装置 CW6 にも入力するよう構成している。クロック発生装置 CW6 では、このインデックス信号が入力されると、リセットをかけられるように構成している。すなわち、クロック発生装置 CW6 は、上述したように、変調プロファイルに基づいて、所定の周期 T 間隔で周波数が変調されたと同様な状態にして、基準クロック信号の帯域を拡散しているが、インデックス信号に応じてリセットがかけられるために、主走査の各ラインにおいて、常

に、同じ拡散の仕方を取ることができ、良好な画像書込みを行うことができる。
特に、この場合、変調プロファイルにより、予め拡散の仕方がわかっているの
で、これに合わせた画像処理（記録画像処理回路CW1による画像処理）を施すこ
とによって、さらに良好な画像書込みを行うことができる。

【0101】

なお、本実施の形態では、クロック発生装置CW6に、インデックス信号に応
じてリセットをかけるように構成しているが、このリセットをかけずに、書込制
御回路D1を、ディザリング・クロックで駆動した場合画像書き込み時に問題と
なるモアレを、ディザリング・クロックの拡散により防ぐことができる。この場
合、変調プロファイルの周期Tの整数倍が、主走査1ラインを走査する時間にな
らないようにすればよい。

【0102】

〈画像形成装置③〉

また、本実施の形態のように、複数のクロック発生装置を用い、しかも、それ
らで生成されるディザリング・クロックの周波数偏差が異なる場合に、各制御回
路間で情報の授受を行うに際しては、伝達エラーを生じる。そこで、図13に示
すように、各制御回路間でデータ通信が行われる通信線の途中に、通信されるデ
ータを一時記憶する一時記憶部（バッファなど）を設けることが好ましい。これ
により、周波数偏差の相異を気にせずに、データの授受を行うことができ、伝達
エラーの発生を防ぎ、種々の制御回路間での整合を容易にとることができる。

【0103】

さらに、本実施の形態のように、1つの装置内に複数のクロック発生装置を用
いた場合、各制御回路間でタイミングを合わせたいことがある。そのために、複
数のクロック発生装置で同期を取るように構成させることが好ましい。この同期
の取り方は、例えば、上述したように同期をとりたい複数のクロック発生装置に
、リセット信号を与えることにより行うことができる。この場合、複数のクロッ
ク発生装置すべてに対してリセットをかける必要はなく、少なくとも、同期を取
りたいクロック発生装置にリセットをかければよい。

【0104】

以上詳述したように、上述した実施の形態例のクロック発生装置やクロック発生方法を適用した基板、画像形成装置によれば、良好な画像記録や画像読み取りを行いつつ、さらには、種々の制御回路間での整合が取れ、かつ、EMI対策も十分にとることができるようになる。

【0105】

【発明の効果】

以上詳細に説明したように、本発明によれば、放射電磁雑音のレベルを低減させつつ、他のデジタル回路と一体的に形成することが可能なクロック発生装置およびクロック発生方法を実現できる。また、放射電磁雑音のレベルを低減させつつ、他のデジタル回路と一体的に形成することが可能なクロック発生装置を備えた基板および画像形成装置を実現できる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態例のクロック発生装置の全体の電氣的構成を示す構成図である。

【図2】

本発明の一実施の形態例のクロック発生装置の動作を説明するタイムチャートである。

【図3】

本発明の一実施の形態例のクロック発生装置の主要部の電氣的構成を示す構成図である。

【図4】

本発明の一実施の形態例のクロック発生装置の動作を説明するタイムチャートである。

【図5】

本発明の一実施の形態例のクロック発生装置の動作を説明するタイムチャートである。

【図6】

本発明の一実施の形態例のクロック発生装置の動作を説明するタイムチャート

である。

【図 7】

本発明の一実施の形態例のクロック発生装置の動作を説明するタイムチャートである。

【図 8】

本発明の一実施の形態例のクロック発生装置が発生するディザリング・クロックの周波数帯域を示す特性図である。

【図 9】

本発明のクロック発生装置を適用した画像形成装置の断面構成を示す構成図である。

【図 1 0】

本発明の実施の形態の画像形成装置の制御系の概略構成を示すブロック図である。

【図 1 1】

クロック発生装置の変調プロファイルを示す図である。

【図 1 2】

本発明の実施の形態の画像形成装置の制御系の概略構成を示すブロック図である。

【図 1 3】

本発明の実施の形態の画像形成装置の制御系の概略構成を示すブロック図である。

【符号の説明】

4 0 1 C P U

4 1 0 基準クロック発生部

4 2 0 ディレイチェーン部

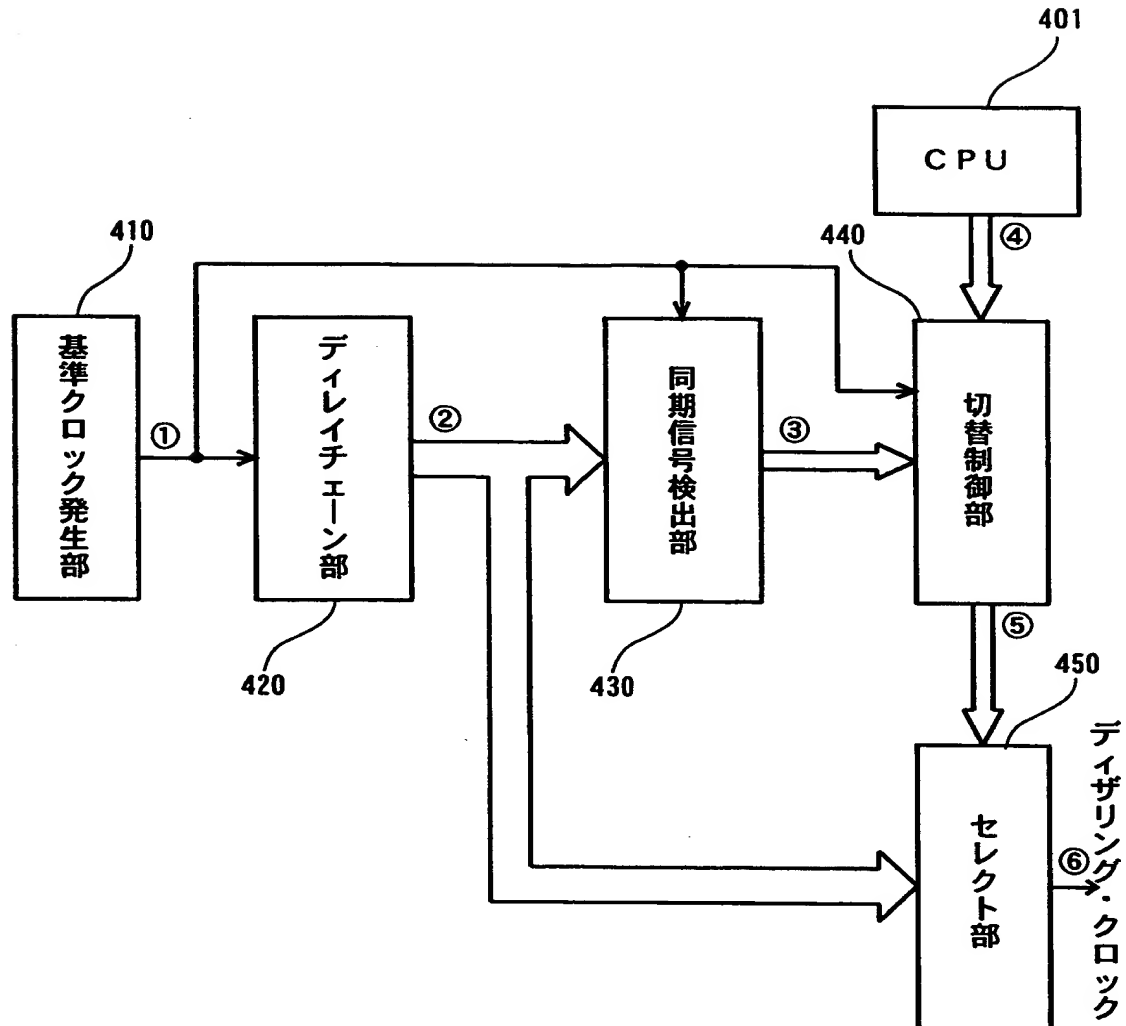
4 3 0 同期信号検出部

4 4 0 切替制御部

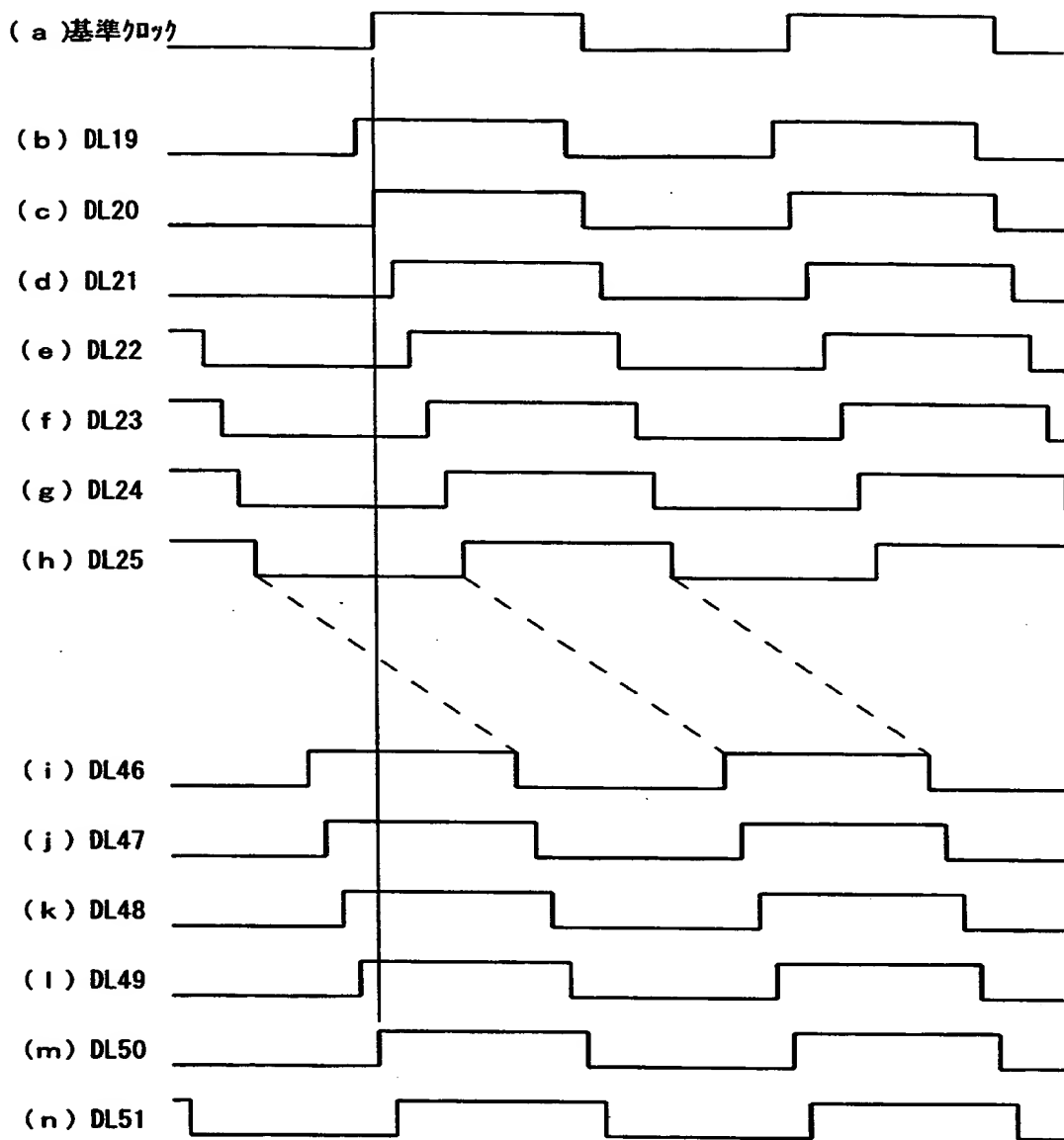
4 5 0 セレクト部

【書類名】 図面

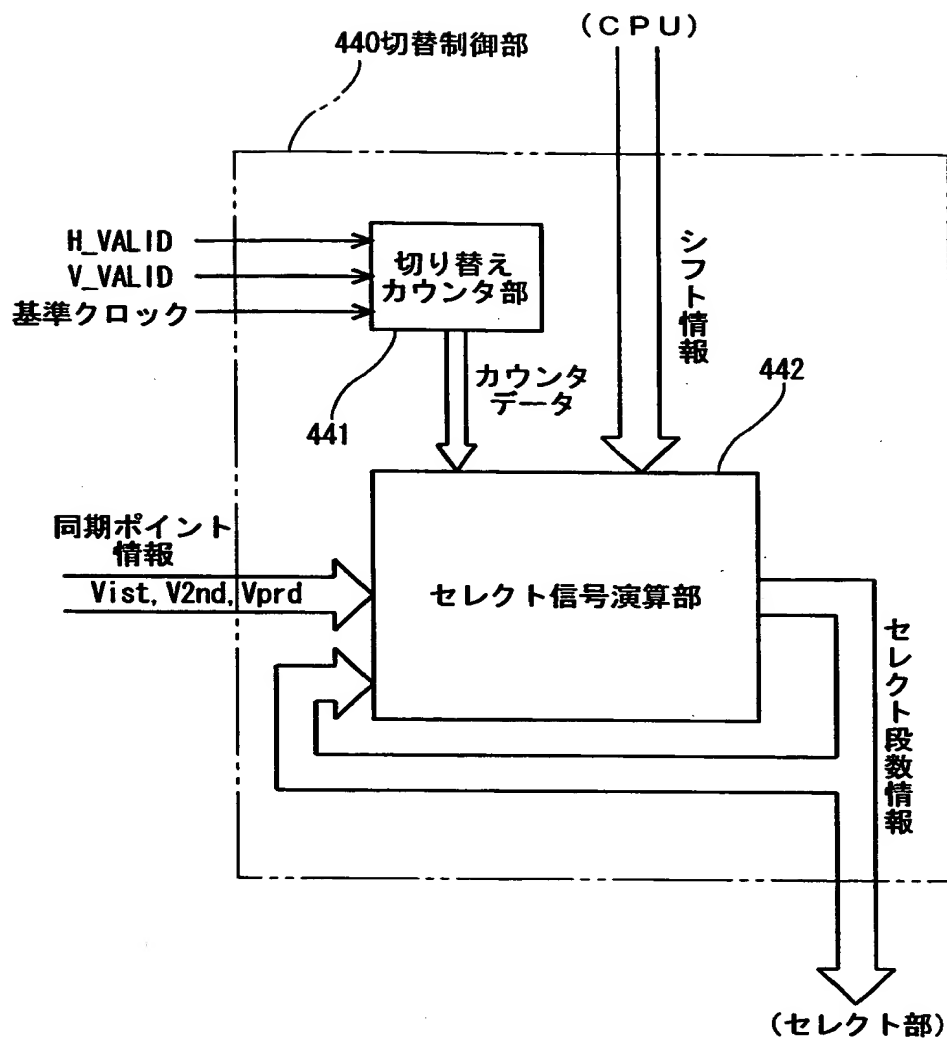
【図 1】



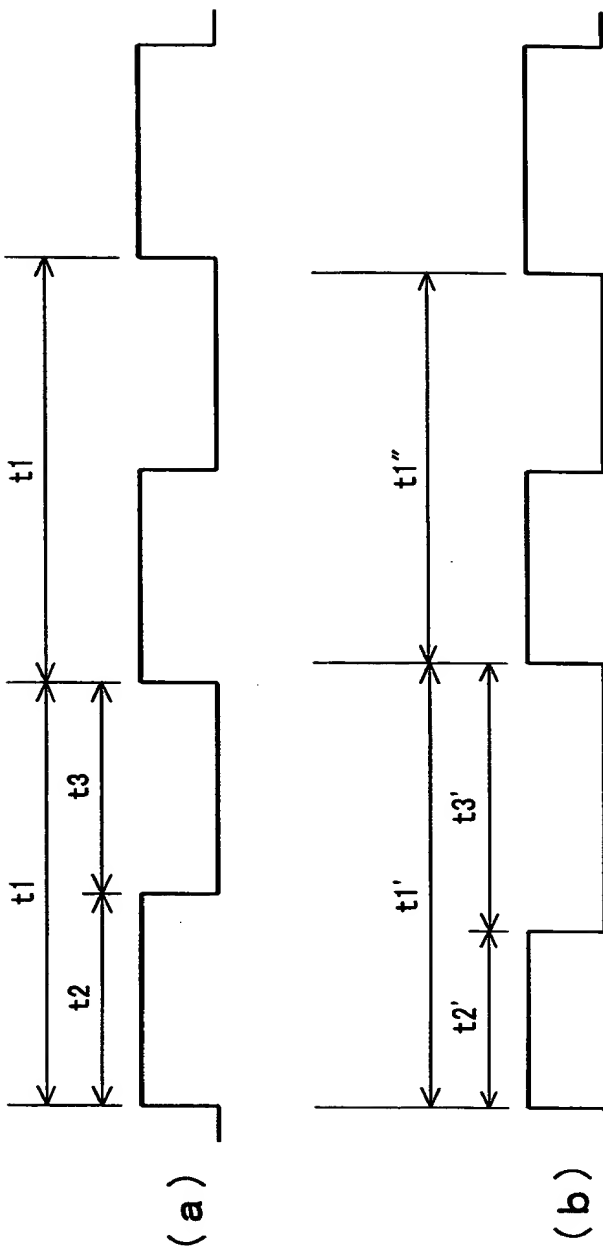
【図 2】



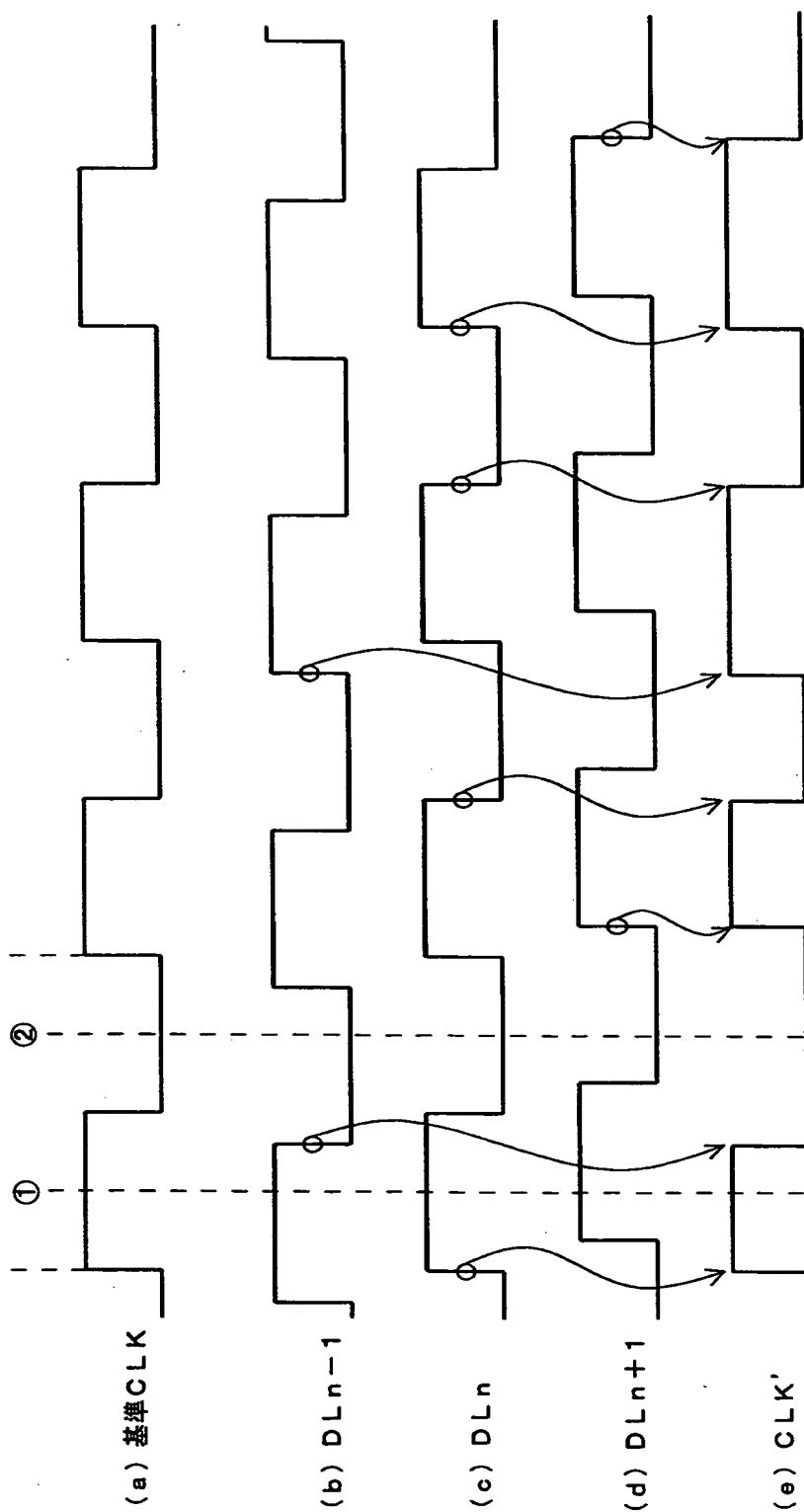
【図 3】



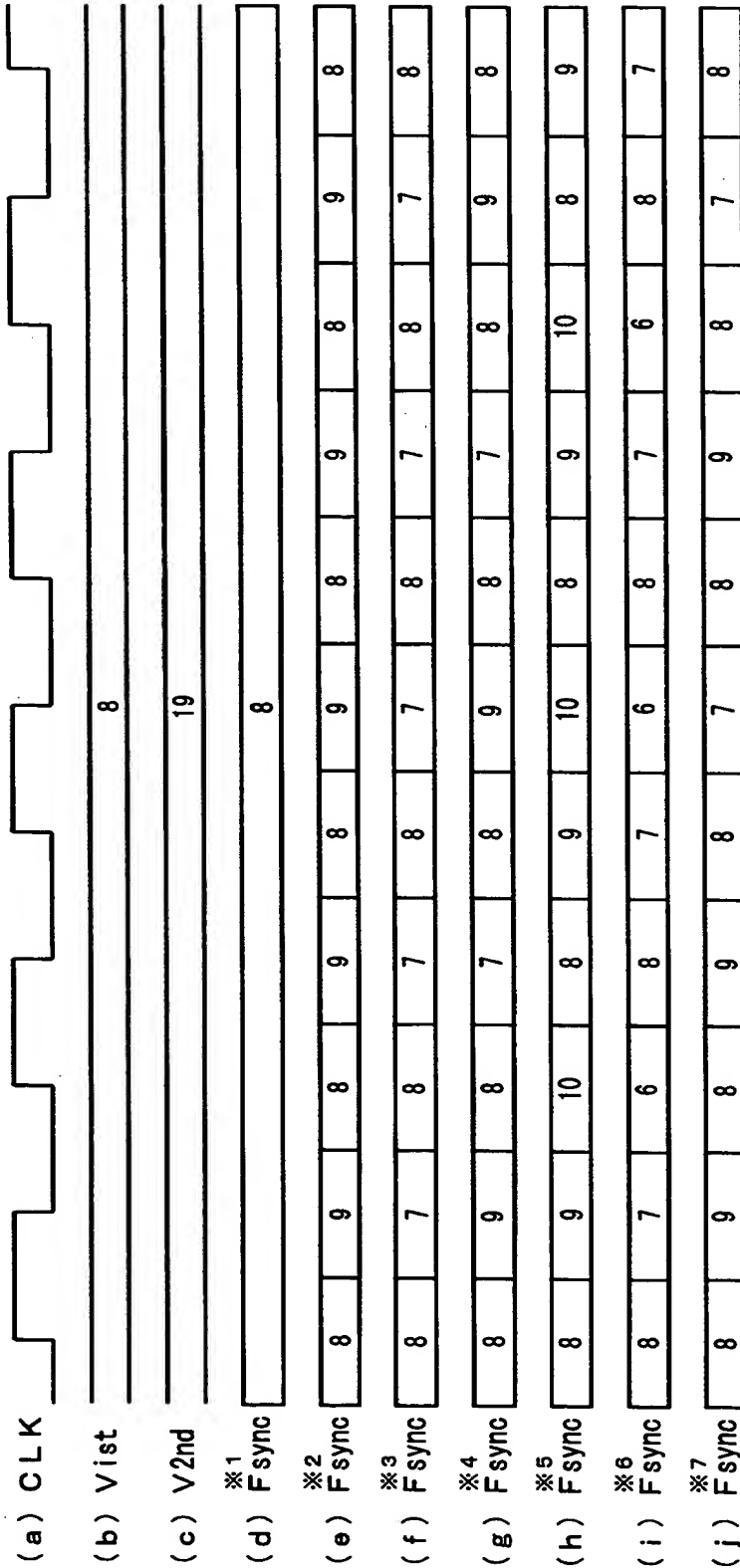
【図 4】



【图 5】



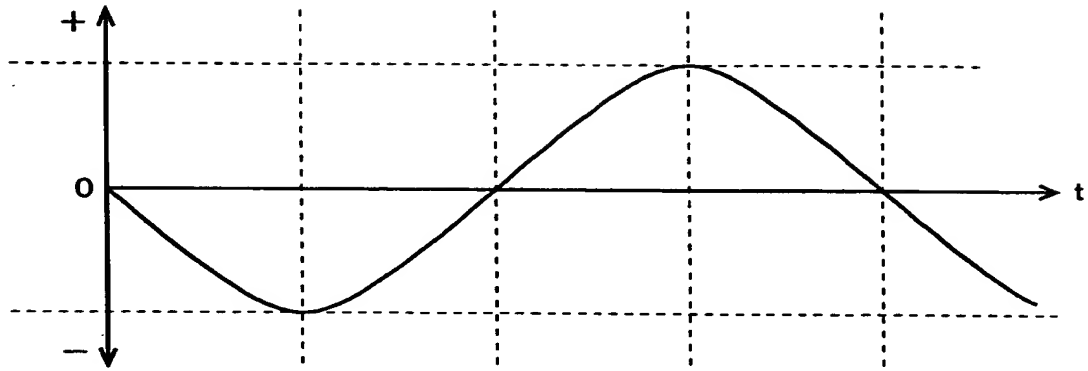
【図 6】



- ※ 1 信号制御が行われない場合の F sync
- ※ 2 信号制御が + 方向に 1 回行われる場合の F sync
- ※ 3 信号制御が - 方向に 1 回行われる場合の F sync
- ※ 4 信号制御が ± 方向に 1 回行われる場合の F sync
- ※ 5 信号制御が + 方向に 2 回行われる場合の F sync
- ※ 6 信号制御が - 方向に 2 回行われる場合の F sync
- ※ 7 信号制御が ランダムに 1 回行われる場合の F sync
- [REVICdata=0]
- [REVICdata=1, TIMESdata=1, MODEdata=00]
- [REVICdata=1, TIMESdata=1, MODEdata=11]
- [REVICdata=1, TIMESdata=1, MODEdata=01]
- [REVICdata=1, TIMESdata=2, MODEdata=00]
- [REVICdata=1, TIMESdata=2, MODEdata=11]
- [REVICdata=1, TIMESdata=1, MODEdata=10]

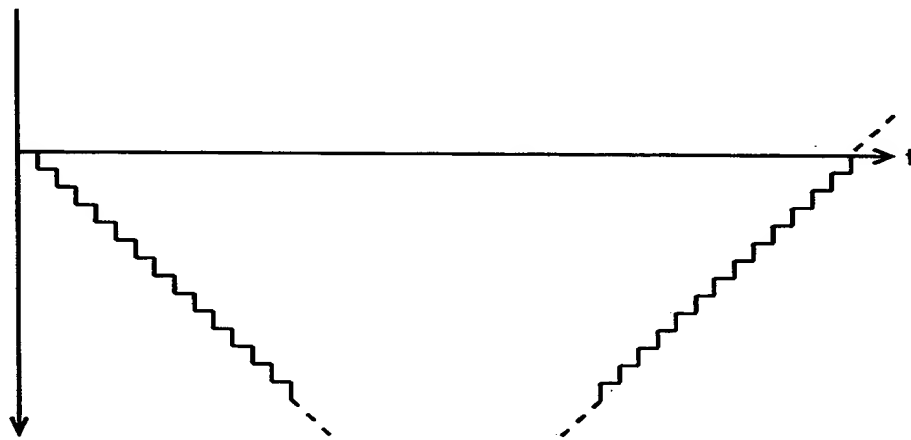
【图 7】

周波数偏差 (Δf)



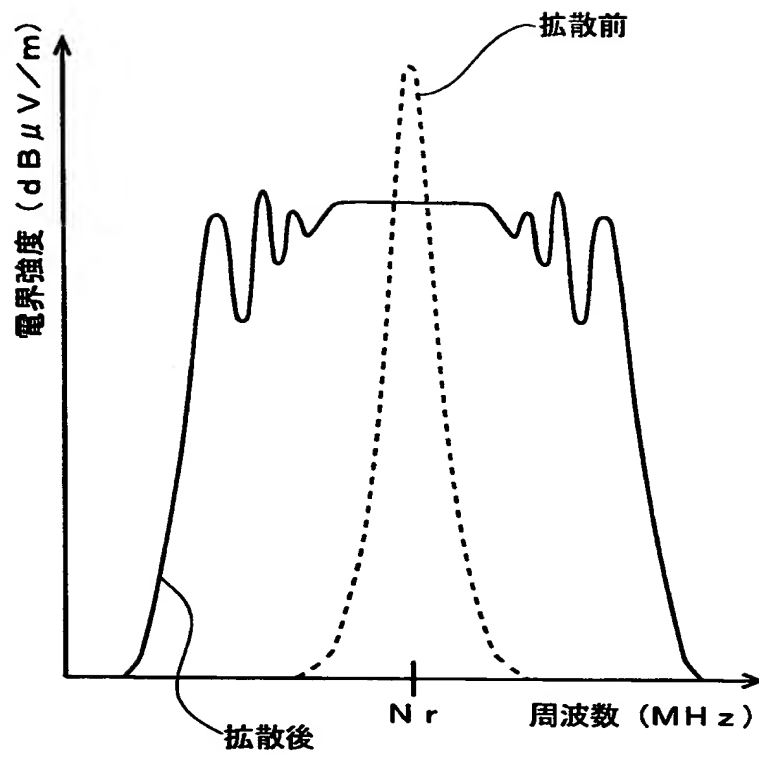
(a)

周波数偏差 (Δf)

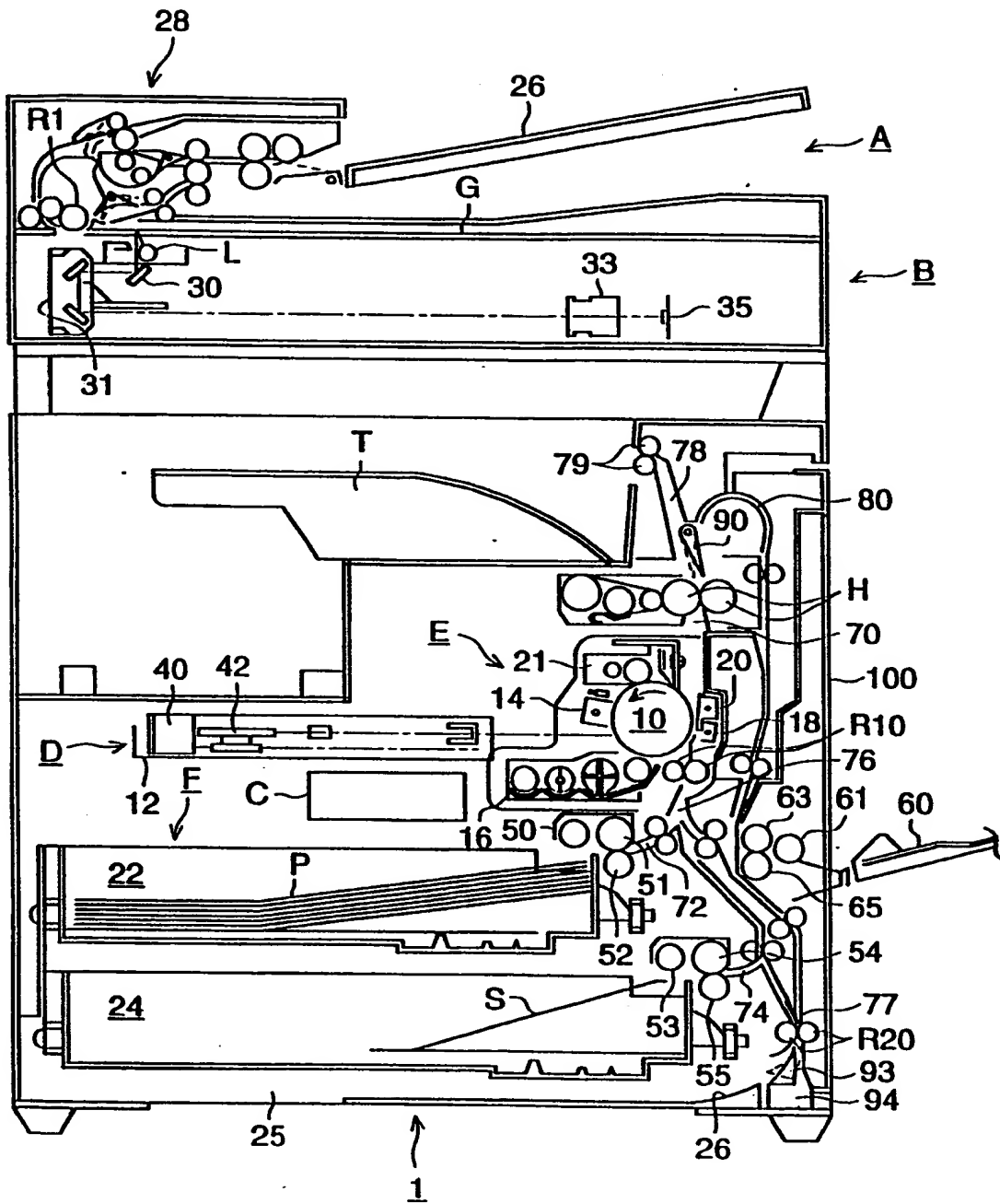


(b)

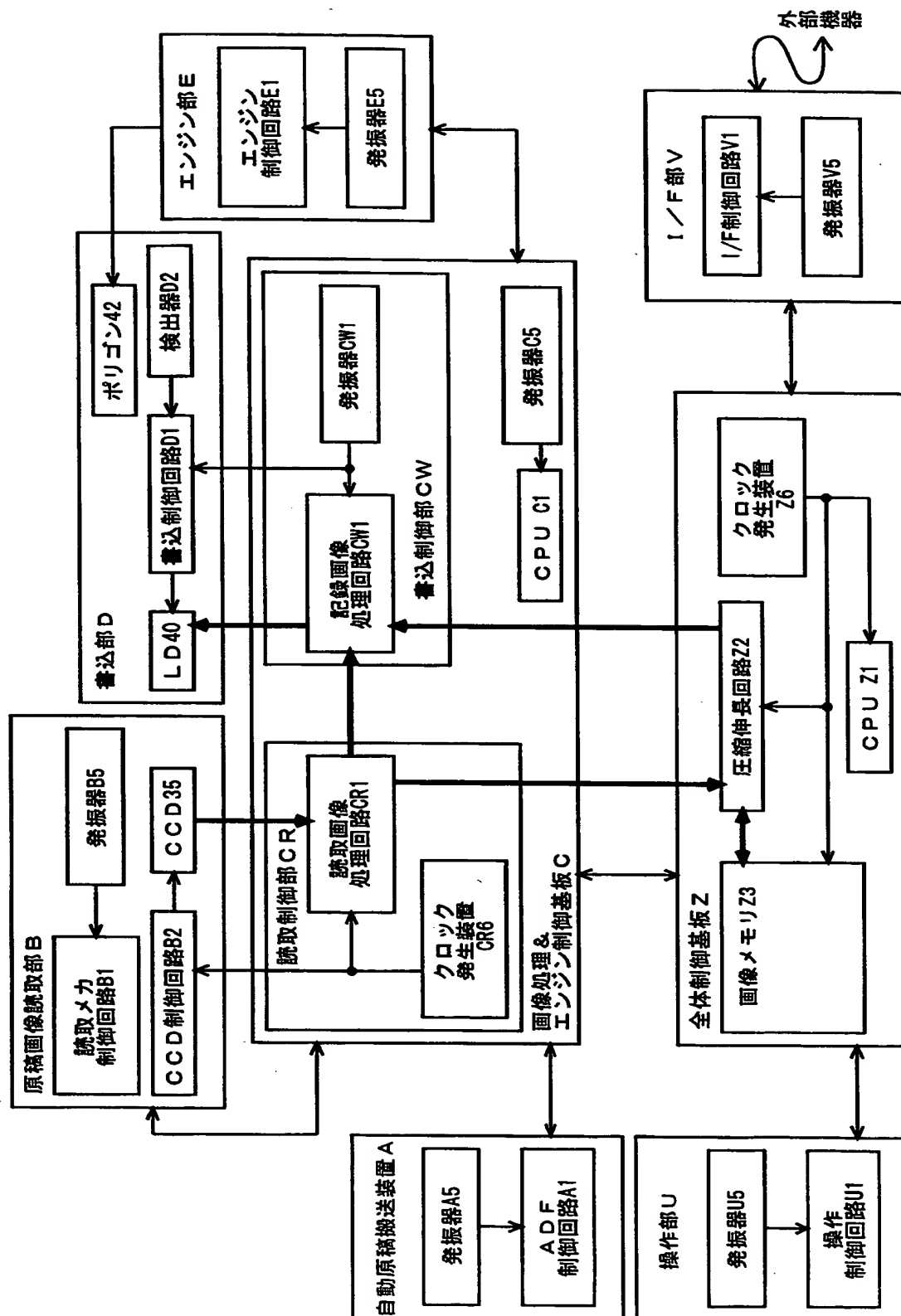
【図 8】



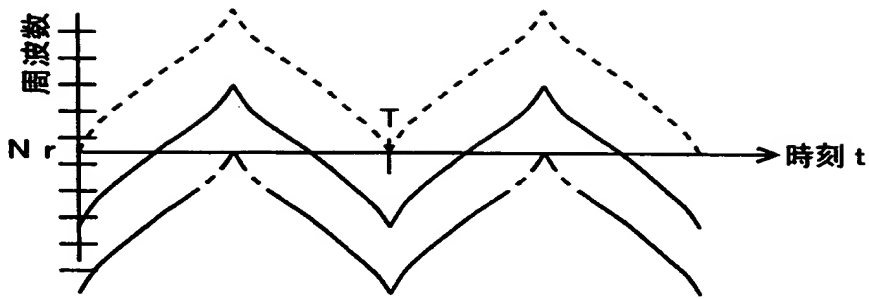
【図 9】



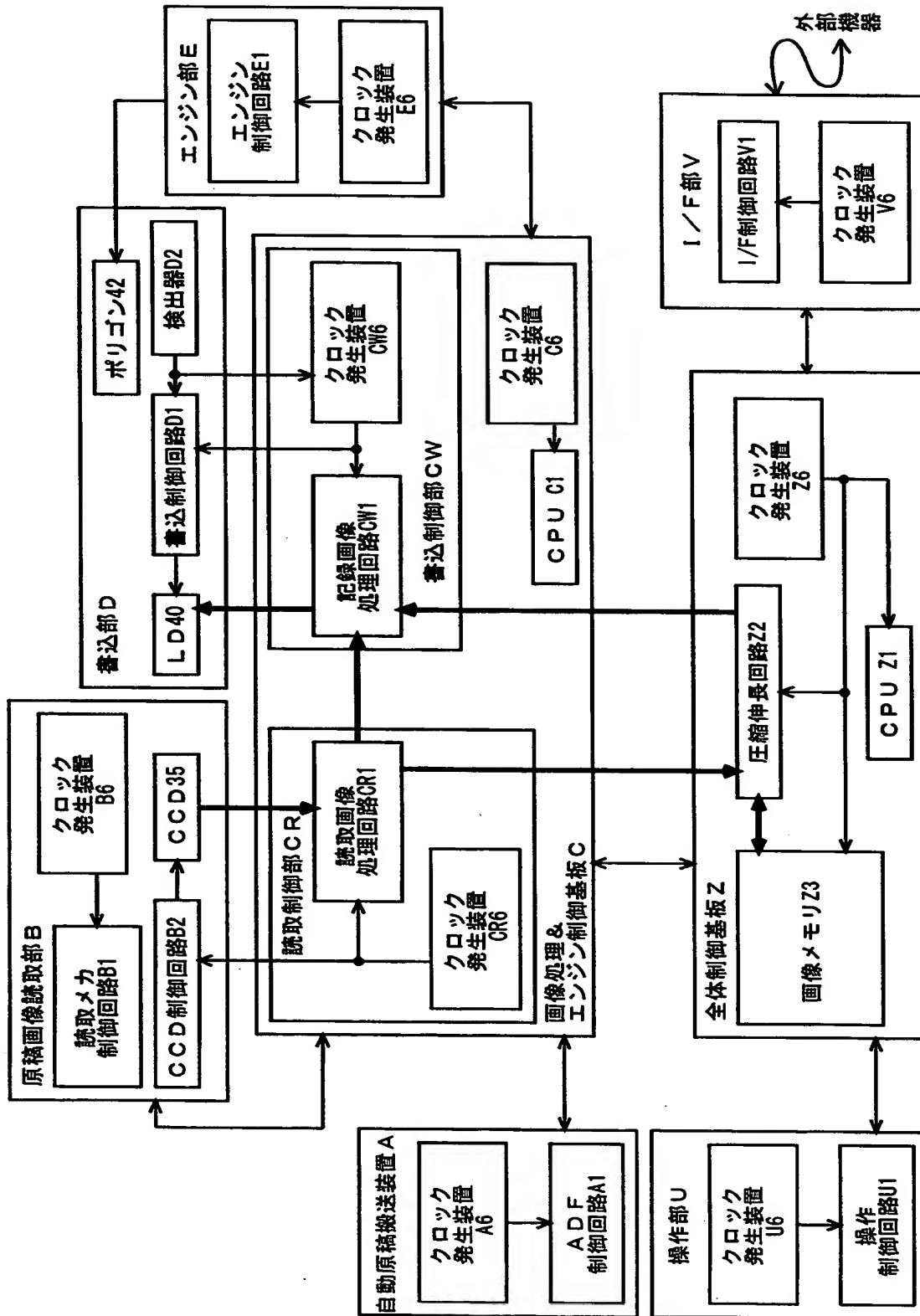
【図10】



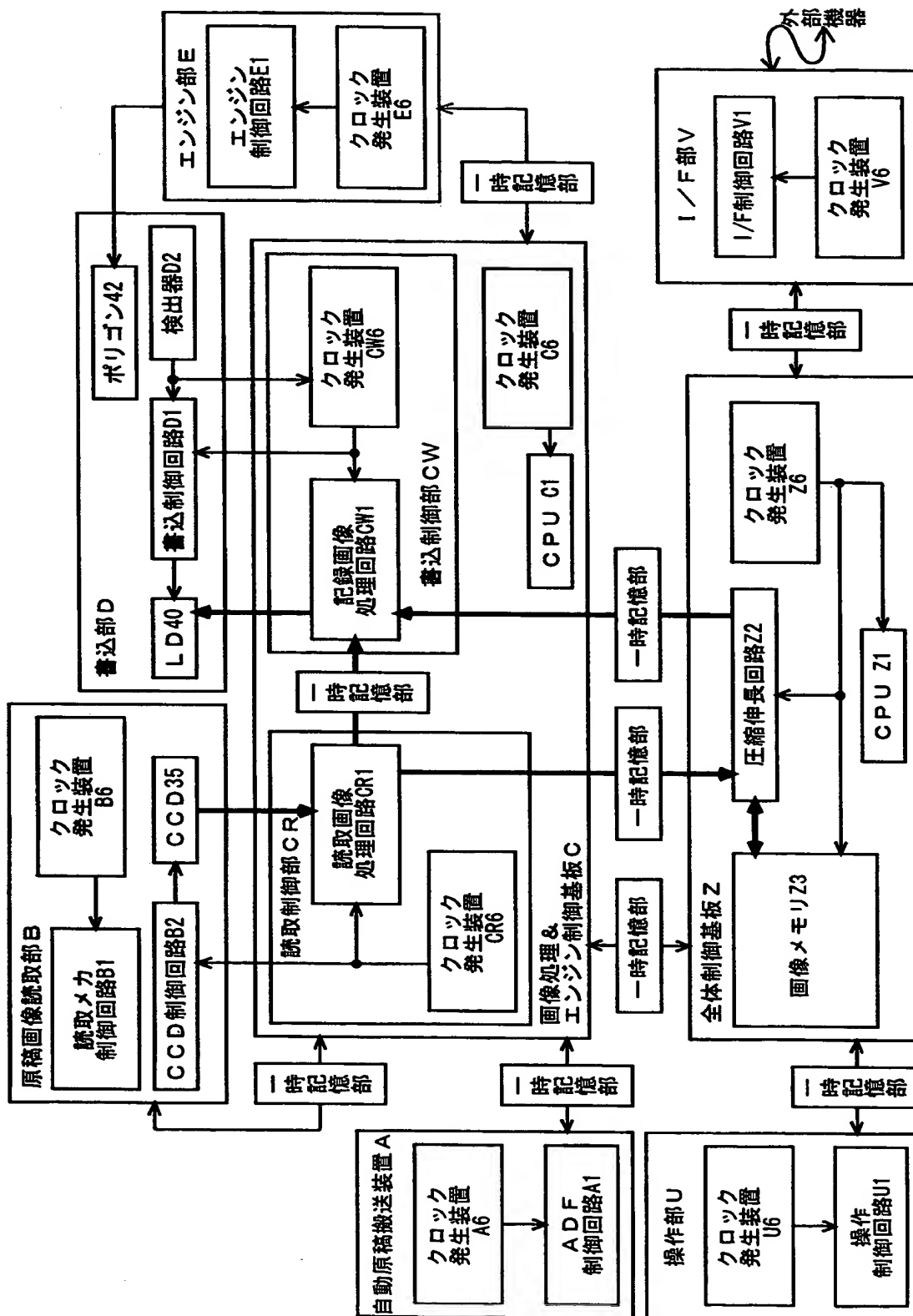
【図 1 1】



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 放射電磁雑音のレベルを低減させつつ、他のデジタル回路と一体的に形成することを可能にする。

【解決手段】 位相の異なる複数のクロックを生成するクロック生成部 4 2 0 と、前記複数のクロックのうちから何れかのクロックを選択して出力するセレクト部 4 5 0 と、出力されるクロックの 1 周期以内に、異なるクロックへ切り換えて出力するよう制御する切替制御部 4 4 0 と、を有し、ディザリング・クロックを生成し、放射電磁雑音のピークを低減させることを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001270]

1. 変更年月日	1990年 8月14日
[変更理由]	新規登録
住 所	東京都新宿区西新宿1丁目26番2号
氏 名	コニカ株式会社